

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiji HOSOTANI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-230126	August 7, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 7日

出 願 番 号

Application Number:

特願2002-230126

[ST.10/C]:

[JP2002-230126]

出 願 人

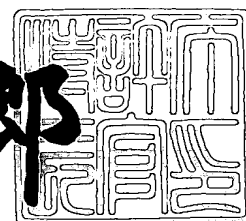
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025636

【書類名】 特許願

【整理番号】 A000107266

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/02

【発明の名称】 半導体集積回路装置及びその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 細谷 啓司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 方向に延びる第 1 の配線と、
前記第 1 方向に交差する第 2 方向に延びる第 2 の配線と、
少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子と
を具備し、

前記磁気抵抗効果素子の平面形状は、前記第 1 の配線と前記第 2 の配線との交
差部の平面形状に一致することを特徴とする半導体集積回路装置。

【請求項 2】 前記磁気抵抗効果素子の下面には前記第 1 の配線とのコンタ
クトが有り、前記磁気抵抗効果素子の上面には前記第 2 の配線とのコンタクトが
有ることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記磁気抵抗効果素子は、整流性素子と積層されていること
を特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】 前記第 2 方向に延び、前記第 2 の配線とギャップを介して平
行に形成された第 3 の配線を、さらに具備し、

前記磁気抵抗効果素子の下面には前記第 1 の配線とのコンタクトが有り、前記
磁気抵抗効果素子の上面には前記第 3 の配線とのコンタクトが有ることを特徴と
する請求項 1 に記載の半導体集積回路装置。

【請求項 5】 前記磁気抵抗効果素子の下面には前記第 1 の配線とのコンタ
クトが有り、前記磁気抵抗効果素子の上面は引き出し電極の一端と接続し、前記
引き出し電極の他端は、M O S F E T のソース又はドレイン拡散層に接続されて
いることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】 第 1 方向に延びる第 1 の配線と、
前記第 1 方向に交差する第 2 方向に延びる第 2 の配線と、
少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子と
を具備し、

前記磁気抵抗効果素子は、磁性層を含む磁気記録層と、非磁性層を含むトンネ
ル障壁層と、磁性層を含む磁化固着層とを含む T M R 素子であり、

少なくとも前記磁気記録層の平面形状が前記第 1 の配線と前記第 2 の配線との交差部の平面形状に一致し、

少なくとも前記磁化固着層の平面形状が前記第 1 の配線の平面形状に一致することを特徴とする半導体集積回路装置。

【請求項 7】 半導体基板上に、第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層上に、第 1 の導電層を形成する工程と、

前記第 1 の導電層上に、少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を形成する工程と、

前記磁気抵抗効果素子層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記加工された前記磁気抵抗効果素子層上及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化する工程と、

前記第 2 の絶縁層上及び前記磁気抵抗効果素子層上に、第 2 の導電層を形成する工程と、

前記第 2 の導電層及び前記磁気抵抗効果素子層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 半導体基板上に、第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層上に、第 1 の導電層を形成する工程と、

前記第 1 の導電層上に、整流性素子層及び少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を含む複合層を形成する工程と、

前記複合層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記第 1 のパターン上及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層を、その上面と前記複合層の上面とが同一平面上に露出するように平坦化する工程と、

前記第 2 の絶縁層上及び前記複合層上に、第 2 の導電層を形成する工程と、
前記第 2 の導電層及び前記複合層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 半導体基板上に、第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層上に、第 1 の導電層を形成する工程と、
前記第 1 の導電層上に、少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を形成する工程と、

前記磁気抵抗効果素子層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記加工された磁気抵抗効果素子層上及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化する工程と、

前記第 2 の絶縁層上及び前記磁気トンネル接合層上に、第 2 の導電層を形成する工程と、

前記第 2 の導電層上に、第 3 の絶縁層を形成する工程と、

前記第 3 の絶縁層上に、第 3 の導電層を形成する工程と、

前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記磁気抵抗効果素子層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 半導体基板上に、第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層上に、第 1 の導電層を形成する工程と、
前記第 1 の導電層上に、整流性素子層及び少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を含む複合層を形成する工程と、

前記複合層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記加工された複合層上及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成する

工程と、

前記第 2 の絶縁層を、その上面と前記複合層の上面とが同一平面上に露出するように平坦化する工程と、

前記第 2 の絶縁層上及び前記磁気抵抗効果素子層上に、第 2 の導電層を形成する工程と、

前記第 2 の導電層上に、第 3 の絶縁層を形成する工程と、

前記第 3 の絶縁層上に、第 3 の導電層を形成する工程と、

前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記複合層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する工程とを具備することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 1】 絶縁ゲート型電界効果トランジスタが形成された半導体基板上に、第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層を平坦化する工程と、

前記第 1 の絶縁層上に、第 1 の導電層を形成する工程と、

前記第 1 の導電層上に、少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を形成する工程と、

前記磁気抵抗効果素子層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記加工された磁気抵抗層上及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化する工程と、

前記第 2 の絶縁層及び前記第 1 の絶縁層を貫通して、前記絶縁ゲート型電界効果トランジスタのソース又はドレインに電氣的に接続されるビアを形成する工程と、

前記第 2 の絶縁層上及び前記磁気抵抗効果素子層上に、第 2 の導電層を形成する工程と、

前記第 2 の導電層を、前記磁気抵抗効果素子と前記ビアとに接するパターンに加工する工程と、

前記加工された第 2 の導電層上及び前記第 2 の絶縁層上に、第 3 の絶縁層を形成する工程と、

前記第 3 の絶縁層上に、第 3 の導電層を形成する工程と、

前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記磁気抵抗効果素子層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する工程と

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】 前記磁気抵抗効果素子層を加工する際、前記第 1 の磁性層及び前記第 2 の磁性層の一方のみを加工し、前記非磁性層で加工を止めることを特徴とする請求項 6、請求項 8 及び請求項 1 0 いずれか一項に記載の半導体集積回路装置の製造方法。

【請求項 1 3】 前記複合層を加工する際、前記第 1 の磁性層及び前記第 2 の磁性層の一方のみを加工し、前記非磁性層で加工を止めることを特徴とする請求項 7 及び請求項 9 いずれかに記載の半導体集積回路装置の製造方法。

【請求項 1 4】 前記磁気抵抗効果素子層は、磁気記録層、トンネル障壁層、磁化固着層を含む磁気トンネル接合層であり、前記磁気抵抗効果素子層を加工する際、前記磁気記録層を加工し、前記トンネル障壁層で加工を止めることを特徴とする請求項 1 1 に記載の半導体集積回路装置の製造方法。

【請求項 1 5】 前記複合層に含まれる前記磁気抵抗効果素子層は、磁気記録層、トンネル障壁層、磁化固着層を含む磁気トンネル接合層であり、前記磁気抵抗効果素子層を加工する際、前記磁気記録層を加工し、前記トンネル障壁層で加工を止めることを特徴とする請求項 1 2 に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体集積回路装置及びその製造方法に係わり、特に磁気抵抗効果素子を含むメモリセルを具備した半導体集積回路装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

電気あるいは磁気によってデータの書き込み及び読み出しを行う記憶装置の一つに、磁気ランダムアクセスメモリ (Magnetoresistive Random Access Memory: 以下、MRAMという) がある。

【 0 0 0 3 】

図 4 1 A は典型的な磁気ランダムアクセスメモリを示す平面図、図 4 1 B は図 4 1 A 中の 4 1 B - 4 1 B 線に沿う断面図、図 4 1 C は図 4 1 A 中の 4 1 C - 4 1 C 線に沿う断面図である。

【 0 0 0 4 】

図 4 1 A ~ 図 4 1 C に示すように、第 1 方向 X に延びる第 1 の電流磁界配線 1 0 1 と、第 1 方向 X に交差する第 2 方向 Y に延びる第 2 の電流磁界配線 1 0 2 とがある。第 1 の電流磁界配線 1 0 1 と第 2 の電流磁界配線との各交差部には磁気抵抗効果素子 1 0 3 が配置されている。磁気抵抗効果素子 1 0 3 には、磁気トンネル接合 (Tunneling Magnetoresistive: 以下、TMR という) を含む TMR 素子を使うのが一般的である。以下、磁気抵抗効果素子 1 0 3 を TMR 素子 1 0 3 と呼ぶ。

【 0 0 0 5 】

TMR 素子 1 0 3 は、例えば第 1、第 2 の電流磁界配線 1 0 1、1 0 2 を 1 本ずつ選択することで選択され、これによって、任意のビットの TMR 素子 1 0 3 に対してデータ読み出しあるいはデータ書き込みが為される。具体的には、データ読み出しは、例えば一对の第 1、第 2 の電流磁界配線 1 0 1、1 0 2 を選択し、選択された一对の第 1、第 2 の電流磁界配線 1 0 1、1 0 2 間に流れる電流の大小を検知することで為される。

【 0 0 0 6 】

また、データ書き込みは、例えば一对の第 1、第 2 の電流磁界配線 1 0 1、1 0 2 を選択し、選択された一对の第 1、第 2 の電流磁界配線 1 0 1、1 0 2 に電流を流す。そして、電流により発生する磁界が選択された一对の第 1、第 2 の電流磁界配線 1 0 1、1 0 2 の交差部で強くなることを利用し、この交差部に位置

する TMR 素子 1 0 3 に対してデータを書き込む。

【0 0 0 7】

【発明が解決しようとする課題】

典型的な MRAM では、TMR 素子 1 0 3 の第 2 方向 Y に沿った幅 WY-TMR よりも第 1 の電流磁界配線 1 0 1 の幅 WY-WL が広く、また、TMR 1 0 3 の第 1 方向 X に沿った幅 WX-TMR よりも第 2 の電流磁界配線 1 0 2 の幅 WX-BL が広い。これは TMR 素子 1 0 3 を、ホトリソグラフィ法を用いて加工するためである。ホトリソグラフィ法においては、マスクの合わせずれが存在する。合わせずれの量は、現状、数 1 0 n m 程度ある。

【0 0 0 8】

TMR 1 0 3 を、第 1 の電流磁界配線 1 0 1 と第 2 の電流磁界配線 1 0 2 との交差部から外れないように加工するには、幅 WY-WL に、TMR 素子 1 0 3 の位置ずれを考慮した合わせ余裕 MY を付加する必要がある。同様に、幅 WX-BL にも合わせ余裕 MX が付加される。

【0 0 0 9】

このような事情は、MRAM の 1 ビット当たりのセルサイズを縮小し、より大規模なメモリを形成しようとする際の障害となる。

【0 0 1 0】

また、MRAM のデバイス・パラメータの一つに、磁化反転しきい値 H_{sw} がある。磁化反転しきい値 H_{sw} は、強磁性体のスピンの向きが反転し出す磁界の強さであり、例えばデータ書き込み時に、TMR 素子 1 0 3 に与える磁界の強さを決めるパラメータの一つである。

【0 0 1 1】

磁化反転しきい値 H_{sw} の変動幅が大きいと、データ書き込み時に誤書き込みが誘発されることがある。磁化反転しきい値 H_{sw} は、TMR 素子 1 0 3 の形状によって変動する。このため、MRAM を製造する上で、磁化反転しきい値 H_{sw} の制御、特に磁化反転しきい値 H_{sw} の変動幅を小さく抑えることが重要である。

【0 0 1 2】

また、磁化反転しきい値 H_{sw} は小さい方がよい。磁化反転しきい値 H_{sw} が小さいと、データ書き込みに必要な電流の量を下げることができ、例えばMRAMチップの消費電力を少なくできる、という利点があるからである。また、データ書き込みに必要な電流の量が下がれば、例えば電流磁界の影響や耐圧に関する影響も少なくなるため、MRAMチップの回路設計上でも有利である。

【 0 0 1 3 】

TMR素子103の平面形状は、図42Aに示すように長方形が理想的である。しかし、TMR素子103の微細化が進むと、現実的には図42Bに示すように、TMR素子103の四隅が丸くなり、さらに図42Cに示すように楕円形に近づいていく。この原因の一つは、例えばホトリソグラフィ法で、TMR素子103毎に各々孤立した微細島状パターンを作ることにある。

【 0 0 1 4 】

TMR素子103の平面形状が理想的な形状から外れていく結果、磁化反転しきい値 H_{sw} は上昇する。さらに、TMR素子103の平面形状にも大きなばらつきが生ずるため、磁化反転しきい値 H_{sw} の変動幅を小さく抑えることも難しくなる。

【 0 0 1 5 】

この発明は、上記の事情に鑑み為されたもので、その目的は、磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大をともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置及びその製造方法を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1態様に係る半導体集積回路装置は、第1方向に延びる第1の配線と、前記第1方向に交差する第2方向に延びる第2の配線と、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子とを具備する。そして、前記磁気抵抗効果素子の平面形状は、前記第1の配線と前記第2の配線との交差部の平面形状に一致することを特徴とする。

【 0 0 1 7 】

また、この発明の第2態様に係る半導体集積回路装置は、第1方向に延びる第1の配線と、前記第1方向に交差する第2方向に延びる第2の配線と、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子とを具備する。そして、前記磁気抵抗効果素子は、磁性層を含む磁気記録層と、非磁性層を含むトンネル障壁層と、磁性層を含む磁化固着層とを含むTMR素子であり、少なくとも前記磁気記録層の平面形状が前記第1の配線と前記第2の配線との交差部の平面形状に一致し、少なくとも前記磁化固着層の平面形状が前記第1の配線の平面形状に一致することを特徴とする。

【0018】

また、この発明の第3態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された前記磁気抵抗効果素子層上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第2の絶縁層上及び前記磁気抵抗効果素子層上に第2の導電層を形成し、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0019】

また、この発明の第4態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に整流性素子層及び少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を含む複合層を形成し、前記複合層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記第1のパターン上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記複合層の上面とが同一平面上に露出するように平坦化し、前記第2の絶縁層上及び前記複合層上に第2の導電層を形成し、前記第2の導電層及び前記複合層を、第2の配線パターンに応じたパターンを持つ

マスクを用いて加工する。

【 0 0 2 0 】

また、この発明の第 5 態様に係る半導体集積回路装置の製造方法は、半導体基板上に第 1 の絶縁層を形成し、前記第 1 の絶縁層上に第 1 の導電層を形成し、前記第 1 の導電層上に少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された磁気抵抗効果素子層上及び前記第 1 の絶縁層上に第 2 の絶縁層を形成し、前記第 2 の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第 2 の絶縁層上及び前記磁気トンネル接合層上に第 2 の導電層を形成し、前記第 2 の導電層上に第 3 の絶縁層を形成し、前記第 3 の絶縁層上に第 3 の導電層を形成し、前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記磁気抵抗効果素子層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する。

【 0 0 2 1 】

また、この発明の第 6 態様に係る半導体集積回路装置の製造方法は、半導体基板上に第 1 の絶縁層を形成し、前記第 1 の絶縁層上に第 1 の導電層を形成し、前記第 1 の導電層上に整流性素子層及び少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を含む複合層を形成し、前記複合層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された複合層上及び前記第 1 の絶縁層上に第 2 の絶縁層を形成し、前記第 2 の絶縁層をその上面と前記複合層の上面とが同一平面上に露出するように平坦化し、前記第 2 の絶縁層上及び前記磁気抵抗効果素子層上に第 2 の導電層を形成し、前記第 2 の導電層上に第 3 の絶縁層を形成し、前記第 3 の絶縁層上に第 3 の導電層を形成し、前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記複合層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する。

【 0 0 2 2 】

また、この発明の第 7 態様に係る半導体集積回路装置の製造方法は、絶縁ゲ-

ト型電界効果トランジスタが形成された半導体基板上に第 1 の絶縁層を形成し、前記第 1 の絶縁層を平坦化し、前記第 1 の絶縁層上に第 1 の導電層を形成し、前記第 1 の導電層上に少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第 1 の導電層を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された磁気抵抗層上及び前記第 1 の絶縁層上に第 2 の絶縁層を形成し、前記第 2 の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第 2 の絶縁層及び前記第 1 の絶縁層を貫通して、前記絶縁ゲート型電界効果トランジスタのソース又はドレインに電氣的に接続されるヴィアを形成し、前記第 2 の絶縁層上及び前記磁気抵抗効果素子層上に第 2 の導電層を形成し、前記第 2 の導電層を前記磁気抵抗効果素子と前記ヴィアとに接するパターンに加工し、前記加工された第 2 の導電層上及び前記第 2 の絶縁層上に第 3 の絶縁層を形成し、前記第 3 の絶縁層上に第 3 の導電層を形成し、前記第 3 の導電層、前記第 3 の絶縁層、前記第 2 の導電層及び前記磁気抵抗効果素子層を、第 2 の配線パターンに応じたパターンを持つマスクを用いて加工する。

【 0 0 2 3 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 4 】

(第 1 の実施形態)

図 1 A はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリ (MRAM) を示す平面図、図 1 B は図 1 A 中の 1 B - 1 B 線に沿う断面図、図 1 C は図 1 A 中の 1 C - 1 C 線に沿う断面図である。

【 0 0 2 5 】

図 1 A ~ 図 1 C に示すように、第 1 の実施形態に係る MRAM は、第 1 の方向 X に延びる第 1 の電流磁界配線 1 と、第 1 の方向 X に交差する、例えば直交する第 2 の方向 Y に延びる第 2 の電流磁界配線 2 とを有する。第 1 の電流磁界配線 1 と第 2 の電流磁界配線 2 との交差部各々には、磁気抵抗効果素子 3 が一つずつ配

置されてメモリセルアレイを構成する。本例では、磁気抵抗効果素子 3 の平面形状は、上記交差部の平面形状に一致する。磁気抵抗効果素子 3 の一例は、磁気トンネル接合 (Tunneling Magneto-Resistive: TMR) を含む TMR 素子である。TMR 素子は、磁性層例えば強磁性層を含む磁気記録層と、非磁性層を含むトンネル障壁層と、磁性層例えば強磁性層を含む磁化固着層とを含む。

【 0 0 2 6 】

図 1 A ~ 図 1 C に示す MRAM は、クロスポイント型と呼ばれる MRAM であり、磁気抵抗効果素子 3 の下面には第 1 の電流磁界配線 1 とのコンタクトが有り、その上面には第 2 の電流磁界配線 2 とのコンタクトが有る。本例では、第 1 の電流磁界配線 1 は、読み出し／書き込みワード線 (ディジット線と呼ばれることもある) として機能し、第 2 の電流磁界配線 2 は、ビット線として機能する。もちろん、第 1 の電流磁界配線 1 をビット線として機能させ、第 2 の電流磁界配線 2 を読み出し／書き込みワード線として機能させることも可能である。

【 0 0 2 7 】

磁気抵抗効果素子 3 は、例えば第 1、第 2 の電流磁界配線 1、2 を 1 本ずつ選択することで選択され、これによって、任意のビットの磁気抵抗効果素子 3 に対してデータ読み出しあるいはデータ書き込みが為される。具体的には、データ読み出しは、例えば一对の第 1、第 2 の電流磁界配線 1、2 を選択し、選択した一对の第 1、第 2 の電流磁界配線 1、2 間に流れる電流の大小を検知することで為される。データ読み出しの際、選択していないセルにも読み出し電流が流れる。これを漏れ電流という。漏れ電流を抑制し、読み出しシグナルマージン、例えば読み出し時の S/N 比を向上させるために、例えば選択されていない第 1、第 2 の電流磁界配線 1、2 の電位を調整し、選択されていない第 1、第 2 の電流磁界配線 1、2 に流れ込む電流を抑制するようにしても良い。

【 0 0 2 8 】

また、データ書き込みは、例えば一对の第 1、第 2 の電流磁界配線 1、2 を選択し、選択された一对の第 1、第 2 の電流磁界配線 1、2 に電流を流す。そして、電流により発生する磁界が選択された一对の第 1、第 2 の電流磁界配線 1、2 の交差部で強くなることを利用し、この交差部に位置する磁気抵抗効果素子 3 に

対してデータを書き込む。

【 0 0 2 9 】

次に、この発明の第 1 の実施形態に係る M R A M の一製造方法例について説明する。

【 0 0 3 0 】

図 2 ～ 図 7 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【 0 0 3 1 】

まず、図 2 に示すように、半導体基板、例えばシリコン基板 1 0 上に、第 1 の絶縁層 1 1 を形成する。第 1 の絶縁層 1 1 の一材料例は、二酸化シリコン膜である。なお、基板 1 0 上には、例えば通常の C M O S プロセスを用いて形成された絶縁ゲート型電界効果トランジスタ、例えば M O S F E T が複数形成されており、各種の機能回路を構成している。なお、複数の M O S F E T については特に図示はしない。次いで、第 1 の絶縁層 1 1 を、複数の M O S F E T によって生じた段差を吸収するように、その表面を、例えば C M P 法を用いて平坦化する。次いで、第 1 の絶縁層 1 1 上に、第 1 の導電層 1 2 を形成する。第 1 の導電層 1 2 は、第 1 の電流磁界配線 1 となる層であり、その一材料例は、A 1 である。次いで、第 1 の導電層 1 2 上に、少なくとも第 1 の磁性層 1 3、非磁性層 1 4、第 2 の磁性層 1 5 を含む磁気抵抗効果素子層 1 6 を形成する。第 1 の磁性層 1 3 は、本例では磁化固着層となる層であり、例えば強磁性体が用いられる。強磁性体の一材料例は、N i F e である。非磁性層 1 4 はトンネル障壁層となる層であり、例えば非磁性体が用いられる。非磁性体の一材料例は、A l ₂O₃ である。第 2 の磁性層 1 5 は、本例磁気記録層となる層であり、例えば強磁性体が用いられる。強磁性体の一材料例は、N i F e である。

【 0 0 3 2 】

次に、図 3 に示すように、磁気抵抗効果素子層 1 6 及び第 1 の導電層 1 2 を、第 1 の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、まず、磁気抵抗効果素子層 1 6 上に、ハードマスク層（図示せず）を形成する。次いで、ハードマスク層上に、ホトレジスト層（図示せず）を形

成する。次いで、通常のホテルソグラフィ法を用いて、ホトレジスト層を、第1の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンを、ハードマスク層に、例えばR I E法を用いて転写、即ちハードマスク層を、ホトレジスト層のパターンに合わせてパターンニングする。次いで、パターンニングされたハードマスク層をエッチングのマスクに用いて、例えばA r ガスを用いたイオンミリング法によって、磁気抵抗効果素子層16及び第1の導電層12をエッチングする。

【0033】

次に、図4に示すように、加工された磁気抵抗効果素子層16上及び第1の絶縁層11上に、第2の絶縁層18を形成する。次いで、第2の絶縁層18を、その上面と磁気抵抗効果素子層16の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。平坦化の際、例えばハードマスク層をCMPのストッパー層として用いると、CMPの際のダメージが、磁気抵抗効果素子層16に直接に加わらない、という利点を得ることができる。ハードマスク層に絶縁性材料を用いた場合には、平坦化後に除去する。また、ハードマスク層に導電性材料を用いた場合には、平坦化後そのまま残すこともできる。残されたハードマスク層は、後に形成される第2の電流磁界配線と磁気抵抗効果素子層16とのコンタクト材料として活用することが可能である。

【0034】

次に、図5に示すように、第2の絶縁層18上及び磁気抵抗効果素子層16上に、第2の導電層19を形成する。第2の導電層19は、第1の電流磁界配線2となる層であり、その一材料例は、A l である。

【0035】

次に、図6及び図7に示すように、第2の導電層19及び磁気抵抗効果素子層16を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホテルソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第2の導電層18をホトレジスト層のパターンに合わせてパターンニングする。引き続き、ホトレジ

スト層及び加工された第2の導電層19をエッチングのマスクに用いて、磁気抵抗効果素子層16を加工する。これにより、第2の導電層19は、第2の電流磁界配線2となり、第1の導電層12は、第1の電流磁界配線1となる。そして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3が得られる。

【0036】

最後に、図6に示した構造上に、第3の絶縁層を形成することで、第1の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0037】

上記第1の実施形態であると、磁気抵抗効果素子3の平面形状が、第1の電流磁界配線1と第2の電流磁界配線2との交差部の平面形状に一致する。交差部の平面形状は長方形にできる。このため、例えば四隅が丸まった磁気抵抗効果素子や平面形状が楕円形となった磁気抵抗効果素子に比べて、磁化反転しきい値 H_{sw} を小さくすることが可能となる。

【0038】

また、磁気抵抗効果素子3を加工する際、第2の電流磁界配線2のパターンをエッチングのマスクに用いる。このため、磁気抵抗効果素子3毎に各々孤立した微細島状パターンを作らずに済む。また、第2の電流磁界配線2のパターンは、微細島状パターンに比べて形状変動が少ないライン・アンド・スペースパターンである。よって、磁気抵抗効果素子3の平面形状のばらつきを小さくすることができ、磁化反転しきい値の変動幅の拡大も抑えることができる。

【0039】

さらに、第1の電流磁界配線1の幅及び第2の電流磁界配線2の幅に、それぞれ合わせ余裕を付加せずに済む。本例では、磁気抵抗効果素子3の第2方向Yに沿った幅 W_{Y-TMR} は、第1の電流磁界配線1の第2方向Yに沿った幅 W_{Y-WL} に等しい。磁気抵抗効果素子3の第1方向Xに沿った幅 W_{X-TMR} は、第2の電流磁界配線2の第1方向Xに沿った幅 W_{X-BL} と等しい。よって、セルレイアウトの更なる高密度化や、セルサイズの更なる微細化も可能となる。

【0040】

また、磁気抵抗効果素子 3 のためのホトリソグラフィ工程を省略できる。このため、製造工程を短縮できる、という利点もある。

【 0 0 4 1 】

(第 2 の実施形態)

図 8 A はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 8 B は図 8 A 中の 8 B - 8 B 線に沿う断面図、図 8 C は図 8 A 中の 8 C - 8 C 線に沿う断面図である。

【 0 0 4 2 】

図 8 A ~ 図 8 C に示すように、第 2 の実施形態に係る M R A M は、上記第 1 の実施形態に係る M R A M の磁気抵抗効果素子 3 に、整流性素子 2 1 を積層したものである。整流性素子 2 1 は磁気抵抗効果素子 3 に直列接続されている。直列接続された整流性素子 2 1 及び磁気抵抗効果素子 3 は、第 1 の電流磁界配線 1 と第 2 の電流磁界配線 2 との間に直列に接続される。整流性素子 2 1 は、データ書き込みの際、選択したセルのみにデータ書き込みを行い、あるいはデータ読み出しの際、選択したセルのみに電流を流してデータ読み出しを行う機能を持つ。

【 0 0 4 3 】

さらに、整流性素子 2 1 を設けることによって、例えばデータ読み出しの際に、選択していないセルに流れる漏れ電流を抑制することもできる。これにより、クロスポイント型と呼ばれる M R A M において、読み出しシグナルマージン、例えば読み出し時の S / N 比を向上させることができる。これにより、読み出し動作の信頼性が向上すると同時に、読み出し動作の高速化を図ることが可能である。

【 0 0 4 4 】

具体的な一例としては、整流性素子 2 1 の整流性を利用し、図 9 A に示すように、選択したセル以外は逆バイアスとなるように、選択していない第 1、第 2 の電流磁界配線 1、2 のバイアスを制御することが可能である。これにより、選択していないセルに流れる漏れ電流を抑制することができる。整流性素子 2 1 の一例はダイオードである。さらにダイオードの一例はショットキーダイオードである。

【 0 0 4 5 】

また、整流性素子 2 1 のアノードは、図 9 B に示すように、磁気抵抗効果素子 3 側に配置されても良い。

【 0 0 4 6 】

さらに、整流性素子 2 1 は、図 9 C、図 9 D に示すように、磁気抵抗効果素子 3 と第 1 の電流磁界配線 1 との間に配置されても良い。

【 0 0 4 7 】

次に、この発明の第 2 の実施形態に係る M R A M の一製造方法例について説明する。なお、以下の説明では、第 1 の実施形態に係る M R A M の一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【 0 0 4 8 】

図 1 0 ～図 1 5 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【 0 0 4 9 】

まず、図 1 0 に示すように、半導体基板、例えばシリコン基板 1 0 上に、第 1 の絶縁層 1 1 を形成する。次いで、第 1 の実施形態と同様に、第 1 の絶縁層 1 1 を、複数の M O S F E T によって生じた段差を吸収するように、その表面を、例えば C M P 法を用いて平坦化する。次いで、第 1 の絶縁層 1 1 上に、第 1 の導電層 1 2 を形成する。次いで、第 1 の導電層 1 2 上に、少なくとも第 1 の磁性層 1 3、非磁性層 1 4、第 2 の磁性層 1 5 を含む磁気抵抗効果素子層 1 6 及び整流性素子層 2 2 を含む複合層 2 3 を形成する。本例では、第 1 の導電層 1 2 上に磁気抵抗効果素子層 1 6 を形成し、磁気抵抗効果素子層 1 6 上に整流性素子層 2 2 を形成する例を示す。しかし、例えば図 9 C、図 9 D に示した変形例に合致するように、第 1 の導電層 1 2 上に整流性素子層 2 2 を形成し、整流性素子層 2 2 上に磁気抵抗効果素子層 1 6 を形成しても良い。整流性素子層 2 2 は、カソード層 2 4 とアノード層 2 5 とを含む。本例では、磁気抵抗効果素子層 1 6 上にカソード層 2 4 を形成し、カソード層 2 4 上にアノード層 2 5 を形成する例を示す。しかし、図 9 B に示した変形例に合致するように、磁気抵抗効果素子層 1 6 上にアノード層 2 5 を形成し、アノード層 2 5 上にカソード層 2 4 を形成しても良い。さ

らに図 9 C に示した変形例に合致するように、第 1 の導電層 1 2 上にカソード層 2 4 を形成し、カソード層 2 4 上にアノード層 2 5 を形成し、アノード層 2 5 上に磁気抵抗効果素子層 1 6 を形成しても良い。さらに図 9 D に示した変形例に合致するように、第 1 の導電層 1 2 上にアノード層 2 5 を形成し、アノード層 2 5 上にカソード層 2 4 を形成し、カソード層 2 4 上に磁気抵抗効果素子層 1 6 を形成しても良い。カソード層 2 4 の一材料例は金属、あるいは N 型半導体である。アノード層 2 5 の一材料例は、上記金属とショットキ接触する P 型半導体、あるいは N 型半導体とショットキ接触する金属である。これにより、本例の整流性素子層 2 2 はダイオード、あるいはショットキーダイオードを含む。半導体の一材料例はシリコンである。本例では、特にアモルファスシリコンを形成した。また、金属の材料例は、Ni、Pt、Mg である。

【 0 0 5 0 】

次に、図 1 1 に示すように、複合層 2 3 及び第 1 の導電層 1 2 を、第 1 の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、まず、複合層 2 3 上に、ハードマスク層（図示せず）を形成する。次いで、ハードマスク層上に、ホトレジスト層（図示せず）を形成する。次いで、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第 1 の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンを、ハードマスク層に、例えば R I E 法を用いて転写、即ちハードマスク層を、ホトレジスト層のパターンに合わせてパターニングする。次いで、パターニングされたハードマスク層をエッチングのマスクに用いて、例えば Ar ガスを用いたイオンミリング法によって、複合層 2 3 及び第 1 の導電層 1 2 をエッチングする。

【 0 0 5 1 】

次に、図 1 2 に示すように、第 1 の絶縁層 1 1 上及び加工された複合層 2 3 上に、第 2 の絶縁層 1 8 を形成する。次いで、第 2 の絶縁層 1 8 を、その上面と複合層 2 3 の上面とが同一平面上に露出するように、例えば CMP 法を用いて平坦化する。平坦化の際、例えばハードマスク層を CMP のストッパー層として用いると、CMP の際のダメージが、複合層 2 3 に直接に加わらない、という利点を

得ることができる。ハードマスク層に絶縁性材料を用いた場合には、平坦化後に除去する。また、ハードマスク層に導電性材料を用いた場合には、平坦化後そのまま残すこともできる。残されたハードマスク層は、後に形成される第2の電流磁界配線と複合層23とのコンタクト材料として活用することが可能である。

【0052】

次に、図13に示すように、第2の絶縁層18上及び複合層23上に、第2の導電層19を形成する。

【0053】

次に、図14及び図15に示すように、第2の導電層19及び複合層23を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第2の導電層19をホトレジスト層のパターンに合わせてパターニングする。引き続き、ホトレジスト層及び加工された第2の導電層19をエッチングのマスクに用いて、複合層23を加工する。これにより、第2の導電層19は第2の電流磁界配線2となり、第1の導電層12は第1の電流磁界配線1となる。また、整流性素子層22は整流性素子21となり、磁気抵抗効果素子層16は磁気抵抗効果素子3となる。このようにして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3および整流性素子21が得られる。

【0054】

最後に、図15に示した構造上に、第3の絶縁層を形成することで、第2の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0055】

上記第2の実施形態においても、上記第1の実施形態と同様の効果を得ることができる。

【0056】

(第3の実施形態)

図 1 6 A はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 1 6 B は図 1 6 A 中の 1 6 B - 1 6 B 線に沿う断面図、図 1 6 C は図 1 6 A 中の 1 6 C - 1 6 C 線に沿う断面図である。

【 0 0 5 7 】

図 1 6 A ~ 図 1 6 C に示すように、第 3 の実施形態に係る MRAM は、上記第 2 の実施形態に係る MRAM の第 2 の電流磁界配線 2 に加え、データ読み出し時に用いる読み出し配線 3 1 を設けたものである。第 2 の電流磁界配線 2 は、データ書き込み時に書き込み磁界を与える配線として使用される。読み出し配線 3 1 を設けることで、データ書き込み時に大きな電流が磁気抵抗効果素子 3 に直接流れ込むことを防止できる。このため、第 2 の実施形態による利点に加えて、例えば磁気抵抗効果素子 3 の早期劣化を抑制できる、という利点を得ることができる。

【 0 0 5 8 】

もちろん、第 3 の実施形態は第 1 の実施形態と組み合わせることが可能である。

【 0 0 5 9 】

次に、この発明の第 3 の実施形態に係る MRAM の一製造方法例について説明する。なお、以下の説明では、第 2 の実施形態に係る MRAM の一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【 0 0 6 0 】

図 1 7 ~ 図 2 2 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【 0 0 6 1 】

まず、図 1 7 に示すように、半導体基板、例えばシリコン基板 1 0 上に、第 1 の絶縁層 1 1 を形成する。次いで、第 2 の実施形態と同様に、第 1 の絶縁層 1 1 を、複数の MOSFET によって生じた段差を吸収するように、その表面を、例えば CMP 法を用いて平坦化する。次いで、第 1 の絶縁層 1 1 上に、第 1 の導電層 1 2 を形成する。次いで、第 1 の導電層 1 2 上に、少なくとも第 1 の磁性層 1 3、非磁性層 1 4、第 2 の磁性層 1 5 を含む磁気抵抗効果素子層 1 6 及び整流性

素子層 2 2 を含む複合層 2 3 を形成する。なお、整流性素子層 2 2 は形成しなくても良い。この場合には、第 3 の実施形態を第 1 の実施形態に組み合わせた M R A M を得ることができる。

【 0 0 6 2 】

次に、図 1 8 に示すように、複合層 2 3 及び第 1 の導電層 1 2 を、第 1 の配線パターンに応じたパターンを持つマスクを用いて加工する。

【 0 0 6 3 】

次に、図 1 9 に示すように、加工された複合層 2 3 及び第 1 の絶縁層 1 1 上に、第 2 の絶縁層 1 8 を形成する。次いで、第 2 の絶縁層 1 8 を、その上面と複合層 2 3 の上面とが同一平面上に露出するように、例えば C M P 法を用いて平坦化する。

【 0 0 6 4 】

次に、図 2 0 に示すように、第 2 の絶縁層 1 8 上及び複合層 2 3 上に、第 2 の導電層 3 2 を形成する。第 2 の導電層 3 2 は、読み出し配線 3 1 となる層であり、その一材料例は、T a である。また、その厚みの一例は 5 0 n m である。次いで、第 2 の導電層 3 2 上に、第 3 の絶縁層 3 3 を形成する。第 3 の絶縁層 3 3 は、読み出し配線 3 1 と、第 2 の電流磁界配線 2 とを絶縁する層であり、その一材料例は、S i O₂ である。また、その厚みの一例は 5 0 n m である。次いで、第 3 の絶縁層 3 3 上に、第 3 の導電層 3 4 を形成する。第 3 の導電層 3 4 は、第 2 の電流磁界は配線となる層であり、その一材料例は、A l である。

【 0 0 6 5 】

次に、図 2 1 及び図 2 2 に示すように、第 3 の導電層 3 4 、第 3 の絶縁層 3 3 、第 2 の導電層 3 2 及び複合層 2 3 を、第 2 の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホテルソグラフィ法を用いて、ホトレジスト層を、第 2 の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第 3 の導電層 3 4 をホトレジスト層のパターンに合わせてパターンニングする。引き続き、ホトレジスト層及び加工された第 3 の導電層 3 4 をエッチングのマスクに用いて、第 3 の絶縁層 3 3 、第 2 の導電層 3 2 、及び複合層 2 3

を加工する。これにより、第 3 の導電層 3 4 は、第 2 の電流磁界配線 2 となり、第 2 の導電層 3 2 は読み出し配線 3 1 となり、第 1 の導電層 1 2 は、第 1 の電流磁界配線 1 となる。そして、第 1 の電流磁界配線 1 と第 2 の電流磁界配線 2 との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子 3 および整流性素子 2 1 が得られる。

【 0 0 6 6 】

最後に、図 2 2 に示した構造上に、第 4 の絶縁層を形成することで、第 3 の実施形態に係る MRAM のメモリセルアレイ部が完成する。

【 0 0 6 7 】

上記第 3 の実施形態においても、上記第 1、第 2 の実施形態と同様の効果を得ることができる。

【 0 0 6 8 】

(第 4 の実施形態)

図 2 3 A はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 2 3 B は図 2 3 A 中の 2 3 B - 2 3 B 線に沿う断面図、図 2 3 C は図 2 3 A 中の 2 3 C - 2 3 C 線に沿う断面図である。

【 0 0 6 9 】

また、図 2 4 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの等価回路図である。

【 0 0 7 0 】

図 2 3 A、図 2 3 B、図 2 3 C 及び図 2 4 に示すように、第 4 の実施形態に係る磁気ランダムアクセスメモリは、1 つの磁気抵抗効果素子 3 と 1 つのセルトランジスタ 4 1 とを含む 1 磁気抵抗効果素子 - 1 トランジスタ型のメモリセルを持つ。セルトランジスタ 4 1 のゲート G は、読み出しワード線 RWL に接続される。本例の読み出しワード線 RWL は、第 2 の方向 Y に沿って形成されている。セルトランジスタ 4 1 のソース S は、ソース線 SL に接続され、例えば接地される。セルトランジスタのドレイン D は、引き出し電極 4 2 の一端に接続される。引き出し電極 4 2 の他端は、磁気抵抗効果素子 3 の一端に接続される。磁気抵抗効果素子 3 の一端は、例えば磁化固着層である。磁気抵抗効果素子 3 の他端は、第

1の電流磁界配線1に接続される。本例の第1の電流磁界配線1はビット線として機能し、第1の方向Xに沿って形成されている。磁気抵抗効果素子3の他端は、例えば磁気記録層である。本例の磁気抵抗効果素子3は第1の電流磁界配線1上に形成され、かつ引き出し電極42下に形成される。引き出し電極42上には絶縁層43が形成され、絶縁層43上には第2の電流磁界配線2が形成されている。本例の第2の電流磁界配線2は、書き込みワード線と機能し、第2の方向Yに沿って形成されている。

【0071】

データ書き込み時、図24中に矢印で示すように、第1の電流磁界配線1、第2の電流磁界配線2に同時に書き込み電流を流す。そして、交点にある磁気抵抗効果素子3にデータを書き込む。

【0072】

データ読み出し時、選択されたセルトランジスタを導通させる。これにより、図24中に点線で示すように、第1の電流磁界配線1からソース線SLに向かって読み出し電流が流れる。この読み出し電流の値を、第1の電流磁界配線1に接続された、例えばセンスアンプ（図示せず）で判定することになる。

【0073】

第4の実施形態では、磁気抵抗効果素子3をビット線（第1の電流磁界配線1）上に形成し、かつ引き出し電極42下に形成する。これにより、磁気抵抗効果素子3を引き出し電極42上に形成し、かつビット線下に形成したMRAMと比較して、書き込みワード線を磁気抵抗効果素子3に、より近づけることができる、という利点がある。書き込みワード線が磁気抵抗効果素子3に、より近づくことで、書き込み磁界を磁気抵抗効果素子3に与えやすくなり、データを書き込み易くすることができる。

【0074】

また、引き出し電極42下に磁気抵抗効果素子3を形成するので、引き出し電極42の加工に際し、磁気抵抗効果素子3の加工の影響が及ばない。このため、引き出し電極42を薄くすることができる。さらには引き出し電極42の厚さの変動も抑制される。これにより、ビット線－セルトランジスタ間の抵抗値のバラ

ツキも抑制することが可能となる。よって、例えばデータ読み出しに関する信頼性も向上する。

【 0 0 7 5 】

さらに、メモリセル各々にセルトランジスタがある。このセルトランジスタによって、データ読み出し時、任意に選択したメモリセルからの電流を、他のメモリセルからの電流と分離することができる。このため、読み出しシグナルマージン、例えば読み出し時のS/N比を向上させることができる。これにより、読み出し動作の信頼性が向上すると同時に、読み出し動作の高速化を図ることが可能である。

【 0 0 7 6 】

次に、この発明の第4の実施形態に係るMRAMの一製造方法例について説明する。なお、以下の説明では、第1の実施形態に係るMRAMの一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【 0 0 7 7 】

図25～図38はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【 0 0 7 8 】

まず、図25に示すように、半導体基板、例えばP型のシリコン基板10に、素子分離領域に対応したシャロートレンチを形成する。次いで、シャロートレンチ内を絶縁物、例えばSiO₂で埋め込み、素子分離領域（シャロートレンチアイソレーション：STI）44を形成する。これにより、基板10に、素子領域45が区画される。次いで、シリコン基板10の表面、特に素子領域45の表面を熱酸化し、ゲート絶縁膜（SiO₂）46を形成する。次いで、基板10及び素子分離領域44上に導電性ポリシリコンを堆積し、導電性ポリシリコン膜を形成する。次いで、導電性ポリシリコン膜をパターンニングし、ゲート電極47を形成する。次いで、ゲート電極47及び素子分離領域44をマスクに用いて、N型不純物、例えば砒素又はリンを基板10にイオン注入し、さらに拡散させて、N型ソース／ドレイン領域48を形成する。

【 0 0 7 9 】

次に、図 2 6 に示すように、図 2 5 に示した構造上に、絶縁物、例えば SiO₂ を堆積し、第 1 層層間絶縁膜 1 1-1 を形成する。次いで、第 1 層層間絶縁膜 1 1-1 に、N 型ソース／ドレイン領域 4 8 に達する開孔を形成する。次いで、開孔内を導電物、例えばタンゲステン等のメタルで埋め込み、第 1 層メタル－基板ヴィア 4 9 を形成する。

【 0 0 8 0 】

次に、図 2 7 に示すように、図 2 6 に示した構造上に、絶縁物、例えば SiO₂ を堆積し、第 2 層層間絶縁膜 1 1-2 を形成する。次いで、第 2 層層間絶縁膜 8 に、コンタクト 4 9 に達する第 1 層メタル配線用トレンチを形成する。次いで、配線用トレンチ内を導電物、例えばタンゲステン等のメタルで埋め込み、第 1 層メタル層 5 0 からなる配線を形成する。これにより、本例では、配線のうち、ソース線となる配線 5 0-1、ヴィアに接続される配線 5 0-2 が形成される。

【 0 0 8 1 】

次に、図 2 8 に示すように、図 2 7 に示した構造上に、絶縁物、例えば SiO₂ を堆積し、第 3 層層間絶縁膜 1 1-3 を形成する。次いで、第 3 層層間絶縁膜 1 1-3 上に、第 2 層メタル 1 2 を形成する。次いで、第 2 層メタル 1 2 上に、少なくとも第 1 の磁性層 1 3、非磁性層 1 4、第 2 の磁性層 1 5 を含む磁気抵抗効果素子層 1 6 を形成する。

【 0 0 8 2 】

次に、図 2 9 に示すように、磁気抵抗効果素子層 1 6 及び第 2 層メタル 1 2 を、第 1 の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。

【 0 0 8 3 】

次に、図 3 0 に示すように、第 3 層層間絶縁膜 1 1-3 及び加工された磁気抵抗効果素子層 1 6 上に、第 4 層層間絶縁膜 1 8 を形成する。次いで、第 4 層層間絶縁膜 1 8 を、その上面と複合層 2 3 の上面とが同一平面上に露出するように、例えば CMP 法を用いて平坦化する。

【 0 0 8 4 】

次に、図 3 1 に示すように、第 4 層層間絶縁膜 1 2 及び第 3 層層間絶縁膜 1 1

-3に、配線50-2に達する開孔を形成する。次いで、開孔内を導電物、例えばタングステン等のメタルで埋め込み、第1層メタル-エキストラメタルビア51を形成する。

【0085】

次に、図32に示すように、図31に示した構造上に、導電物、例えばタングステンを堆積し、エキストラメタル層52を形成する。

【0086】

次に、図33に示すように、エキストラメタル層52を、磁気抵抗効果素子層16とビア51とに接するパターンに加工する。

【0087】

次に、図34に示すように、第4層層間絶縁膜18上、磁気抵抗効果素子層16上、及び加工されたエキストラメタル層52上に、第5層層間絶縁膜53-1を形成する。次いで、第5層層間絶縁膜53-1を、その上面とエキストラメタル層の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。

【0088】

次に、図35に示すように、図34に示した構造上に、第6層層間絶縁膜53-2を形成する。次いで、第6層層間絶縁膜53-2上に、第3層メタル54を形成する。

【0089】

次に、図36～図38に示すように、第3層メタル54を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第3層メタル54をホトレジスト層のパターンに合わせてパターンニングする。引き続き、ホトレジスト層及び加工された第3層メタル54をエッチングのマスクに用いて、第6層層間絶縁膜53-2、第5層層間絶縁膜53-1をエッチングする。引き続き、エッチングを行い、磁気抵抗効果素子層16を加工する。これにより、第3層メタル54は第2の電流磁界配線2となり、エキストラメタル層52は引き出し電極42となる。また、磁気抵抗

効果素子層 1 6 は磁気抵抗効果素子 3 となり、第 2 層メタル 1 2 は第 1 の電流磁界配線 1 となる。このようにして、第 1 の電流磁界配線 1 と第 2 の電流磁界配線 2 との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子 3 が得られる。

【 0 0 9 0 】

最後に、図 3 8 に示した構造上に、第 7 層層間絶縁膜を形成することで、第 4 の実施形態に係る M R A M のメモリセルアレイ部が完成する。

【 0 0 9 1 】

上記第 4 の実施形態においても、上記第 1、第 2、第 3 の実施形態と同様の効果を得ることができる。

【 0 0 9 2 】

(第 5 の実施形態)

図 3 9 A はこの発明の第 5 の実施形態に係る磁気ランダムアクセスメモリの製造方法例を示す斜視図、図 3 9 B は図 3 9 A 中の 3 9 - 3 9 線に沿う断面図である。

【 0 0 9 3 】

図 3 9 A 及び図 3 9 B に示すように、磁気抵抗効果素子層 1 6 を加工する際、第 1 の磁性層 1 3 及び第 2 の磁性層 1 5 の一方のみを加工し、非磁性層 1 4 で加工を止めることも可能である。例えば磁気抵抗効果素子層 1 6 は、磁気記録層、トンネル障壁層、磁化固着層を含む磁気トンネル接合層であるとき、磁気記録層を加工し、トンネル障壁層で加工を止める。これにより、第 5 の実施形態に係る M R A M では、少なくとも磁気記録層の平面形状が第 1 の電流磁界配線 1 と第 2 の電流磁界配線 2 との交差部の平面形状に一致し、少なくとも磁化固着層の平面形状が第 1 の電流磁界配線の平面形状に一致する。

【 0 0 9 4 】

このような第 5 の実施形態であると、磁気抵抗効果素子層 1 6 を加工する際、第 1 の磁性層 1 3 及び第 2 の磁性層 1 5 の一方のみを加工し、非磁性層 1 4 で加工を止める。このため、磁気抵抗効果素子層 1 6 を加工する際、第 1 の電流磁界配線 1 まで加工、例えばエッチングされてしまうことを抑制できる、という利点

を得ることができる。

【0095】

〔磁気抵抗効果素子の例〕

〔第1の例〕

第1～第5の実施形態にて説明した磁気抵抗効果素子3には、TMR素子を使うことができる。以下TMR素子の幾つかの例について説明する。

【0096】

図40Aは、TMR素子の第1の例を示す断面図である。

【0097】

図40Aに示すように、下地層150上には、反強磁性層151、強磁性層152、トンネル障壁層153、強磁性層154及び保護層155が順次形成されている。

【0098】

本例では、強磁性層152がスピンの向きが固定される磁化固着層として機能し、強磁性層154がスピンの向きが変化される磁気記録層として機能する。反強磁性層151は、強磁性層152のスピンの向きを固定する層である。磁化固着層として機能する強磁性層152のスピンの向きは、例えば反強磁性層151を用いて固定しても良い。

【0099】

なお、下地層151は、例えば強磁性層や反強磁性層を形成し易くしたり、保護したりするための層であり、必要に応じて設けられる。保護層155は、例えば強磁性層や反強磁性層を保護するための層であり、下地層151と同様、必要に応じて設けられる。保護層155は、例えば第1の実施形態等で説明したハードマスク層を利用して形成されても良い。

【0100】

これら下地層151及び保護層155に関する事項は、以下に説明する第2～第4の例においても同様である。

【0101】

強磁性層152、154の材料例としては、下記の材料を挙げるることができる

【0102】

Fe、Co、Ni、またはそれらの合金

スピン分極率の大きいマグネタイト

CrO_2 、 RXMnO_{3-y} 等の酸化物 (R: 希土類、X: Ca、Ba、Sr)

NiMnSb、PtMnSb等のホイスラー合金 (Heusler alloy)

なお、上記強磁性体152、154の材料例において、例えば強磁性を失わない範囲内で、非磁性元素が含まれていても良い。

【0103】

非磁性元素の例としては、下記の元素を挙げることができる。

【0104】

Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、

Pd、Pt、Zr、Ir、W、Mo、Nb

強磁性層152、154の厚さの例は、強磁性層152、154が超常磁性 (super-paramagnetic) にならない程度の厚さ以上にすることである。具体的な一例は、強磁性層152、154の厚さを0.4nm以上とする。また、強磁性層152、154の厚さの上限は特に無いが、例えばTMR素子の作製上100nm以下が良い。

【0105】

反強磁性層151の材料例としては、下記の材料を挙げることができる。

【0106】

Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、

Fe_2O_3

トンネル障壁層153の材料例としては、下記の材料を挙げることができる。

【0107】

Al_2O_3 、 SiO_2 、MgO、AlN、 Bi_2O_3 、 MgF_2 、 CaF_2 、

SrTiO_2 、 AlLaO_3

なお、上記トンネル障壁層153の材料例において、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれか一つをさらに含んでいて

も良く、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれかが欠損していても良い。

【 0 1 0 8 】

トンネル障壁層 1 5 3 の厚さは、薄い方が良いが、特に制限はない。敢えて一例を示すならば、トンネル障壁層 1 5 3 の厚さを 1 0 n m 以下とする。これは、TMR 素子の作製上の観点からである。

【 0 1 0 9 】

〔第 2 の例〕

図 4 0 B は、TMR 素子の第 2 の例を示す断面図である。

【 0 1 1 0 】

第 2 の例に係る TMR 素子は、ダブルジャンクション型と呼ばれている TMR 素子である。

【 0 1 1 1 】

図 4 0 B に示すように、下地層 1 5 0 上には、反強磁性層 1 5 1 -1、強磁性層 1 5 2 -1、トンネル障壁層 1 5 3 -1、強磁性層 1 5 4、トンネル障壁層 1 5 3 -2、強磁性層 1 5 2 -2、反強磁性層 1 5 1 -2、及び保護層 1 5 5 が順次形成されている。

【 0 1 1 2 】

本例では、強磁性層 1 5 2 -1、1 5 2 -2 が磁化固着層として機能し、強磁性層 1 5 4 が磁気記録層として機能する。反強磁性層 1 5 1 -1 は、強磁性層 1 5 2 -1 のスピンの向きを固定する層であり、反強磁性層 1 5 1 -2 は、強磁性層 1 5 2 -2 のスピンの向きを固定する層である。

【 0 1 1 3 】

本例のようなダブルジャンクション型の TMR 素子は、例えば図 4 0 A に示す TMR 素子（シングルジャンクション型）に比較して、低抵抗時における抵抗値と高抵抗時における抵抗値との比、いわゆる MR 比（magneto-resistance ratio）をさらに大きくできる、という利点がある。

【 0 1 1 4 】

反強磁性層 1 5 1 -1、1 5 1 -2、強磁性層 1 5 2 -1、1 5 2 -2、1 5 4、及び

トンネル障壁層 1 5 3 -1、1 5 3 -2それぞれの材料例は、上記第 1 の例で説明した通りである。

【0 1 1 5】

また、強磁性層 1 5 1 -1、1 5 1 -2、5 4 それぞれの厚さの例は、上記第 1 の例で説明した通りである。

【0 1 1 6】

また、トンネル障壁層 1 5 3 -1、1 5 3 -2の材料例、及び厚さの例は、上記第 1 の例で説明した通りである。

【0 1 1 7】

〔第 3 の例〕

図 4 0 C は、TMR 素子の第 3 の例を示す断面図である。

【0 1 1 8】

図 4 0 C に示すように、第 3 の例に係る TMR 素子は、第 1 の例に係る TMR 素子の強磁性層 1 5 2、1 5 4 を、強磁性層と非磁性層とのスタック構造としたものである。スタック構造の例としては、本例のように、強磁性層／非磁性層／強磁性層の三層膜を挙げることができる。本例では、強磁性層 1 5 2 が強磁性層 1 6 1／非磁性層 1 6 2／強磁性層 1 6 3 の三層膜とされ、強磁性層 1 5 4 が強磁性層 1 6 4／非磁性層 1 6 5／強磁性層 1 6 6 の三層膜とされている。

【0 1 1 9】

強磁性層 1 6 1、1 6 3、1 6 4、1 6 6 の材料例は、上記第 1 の例で説明した通りである。

【0 1 2 0】

非磁性層 1 6 2、1 6 5 の材料例は、下記の材料を挙げることができる。

【0 1 2 1】

Ru、Ir

強磁性層／非磁性層／強磁性層の三層膜の具体的な例を挙げるとするならば、下記の例を挙げることができる。

【0 1 2 2】

Co／Ru／Co、Co／Ir／Co

Co-Fe/Ru/Co-Fe、Co-Fe/Ir/Co-Fe

磁化固着層として機能する強磁性層 1 5 2 をスタック構造とした場合、例えば強磁性層 1 6 1 / 非磁性層 1 6 2 / 強磁性層 1 6 3 の三層膜とした場合、強磁性層 1 6 1 と強磁性層 1 6 3 との間に、非磁性層 1 6 2 を介して反強磁性結合を生じさせるのが良い。さらに上記三層膜に接して反強磁性層 1 5 1 を設ける。このような構造とすることで、磁化固着層として機能する強磁性層 1 5 2、特に強磁性層 1 6 3 のスピンの向きをより固く固定できる、という利点を得ることができる。この利点により、強磁性層 1 5 2、特に強磁性層 1 6 3 は、電流磁界の影響を受け難くなり、磁化固着層として機能する強磁性層 1 5 2 のスピンの向きが、不慮に反転することを抑制することができる。

【 0 1 2 3 】

また、磁気記録層として機能する強磁性層 1 5 4 をスタック構造とした場合、例えば強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜とした場合にも、強磁性層 1 6 4 と強磁性層 1 6 6 との間に、非磁性層 1 6 5 を介して反強磁性結合を生じさせておくのが良い。この場合、磁束が上記三層膜内で閉じるので、例えば磁極に起因したスイッチング磁界の増大を抑制することができる。この結果、例えばメモリセルの大きさ、あるいは TMR 素子の大きさがサブミクロン以下になっても、例えば反磁界による電流磁界に起因した消費電力の増大を抑えることができる、という利点を得ることができる。

【 0 1 2 4 】

また、磁気記録層として機能する強磁性層 1 5 4 は、ソフト強磁性層と強磁性層とのスタック構造とすることも可能である。ここで述べるソフト強磁性層とは、例えば強磁性層に比較して、スピンの向きがより反転し易い層のことである。

【 0 1 2 5 】

強磁性層 1 5 4 を、ソフト強磁性層と強磁性層とのスタック構造とした場合、電流磁場配線、例えばビット線に近い方に、ソフト強磁性層が配置される。

【 0 1 2 6 】

このスタック構造には、非磁性層をさらに含ませることも可能である。例えば本例のように、強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜であ

る場合、例えば強磁性層 1 6 6 を、ソフト強磁性層とすることもできる。

【 0 1 2 7 】

本例では、強磁性層 1 5 2、1 5 4 それぞれをスタック構造としているが、強磁性層 1 5 2 のみ、あるいは強磁性層 1 5 4 のみをスタック構造としても良い。

【 0 1 2 8 】

〔第 4 の例〕

図 4 0 D は、TMR 素子の第 4 の例を示す断面図である。

【 0 1 2 9 】

図 4 0 D に示すように、第 4 の例に係る TMR 素子は、第 2 の例に係る TMR 素子の強磁性層 1 5 2-1、1 5 4、1 5 2-2 を、第 3 の例で述べたスタック構造とした例である。

【 0 1 3 0 】

本例では、強磁性層 1 5 2-1 が強磁性層 1 6 1-1 / 非磁性層 1 6 2-1 / 強磁性層 1 6 3-1 の三層膜とされ、強磁性層 1 5 4 が強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜とされ、強磁性層 1 5 2-2 が強磁性層 1 6 1-2 / 非磁性層 1 6 2-2 / 強磁性層 1 6 3-2 の三層膜とされている。

【 0 1 3 1 】

強磁性層 1 6 1-1、1 6 1-2、1 6 3-1、1 6 3-2、1 6 4、1 6 6 の材料例は、上記第 1 の例で説明した通りである。

【 0 1 3 2 】

非磁性層 1 6 2-1、1 6 2-2、1 6 5 の材料例は、上記第 3 の例で説明した通りである。

【 0 1 3 3 】

本例では、強磁性層 1 5 2-1、1 5 4、1 5 2-2 それぞれをスタック構造としているが、少なくともいずれか一層のみをスタック構造としても良い。

【 0 1 3 4 】

以上、この発明を第 1 ～ 第 5 の実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【 0 1 3 5 】

また、上記第 1 ～ 第 5 の実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせることも、もちろん可能である。

【 0 1 3 6 】

また、上記第 1 ～ 第 5 の実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 1 3 7 】

また、上記第 1 ～ 第 5 の実施形態では、この発明を磁気ランダムアクセスメモリに適用した例に基づき説明したが、上記磁気ランダムアクセスメモリを内蔵した半導体集積回路装置、例えばプロセッサ、システム L S I 等もまた、この発明の範疇である。

【 0 1 3 8 】

【発明の効果】

以上説明したように、この発明によれば、磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大をとともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

図 1 A はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 1 B は図 1 A 中の 1 B - 1 B 線に沿う断面図、図 1 C は図 1 A 中の 1 C - 1 C 線に沿う断面図

【図 2】

図 2 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3】

図 3 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 4】

図 4 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 5】

図 5 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 6】

図 6 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 7】

図 7 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 8】

図 8 A はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 8 B は図 8 A 中の 8 B - 8 B 線に沿う断面図、図 8 C は図 8 A 中の 8 C - 8 C 線に沿う断面図

【図 9】

図 9 A は第 2 の実施形態に係る磁気ランダムアクセスメモリのメモリセルアレイの等価回路図、図 9 B は第 2 の実施形態の第 1 変形例の等価回路図、図 9 C は第 2 の実施形態の第 2 変形例の等価回路図、図 9 D は第 2 の実施形態の第 3 変形例の等価回路図

【図 1 0】

図 1 0 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 1】

図 1 1 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 2】

図 1 2 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製

造方法例を示す斜視図

【図 1 3】

図 1 3 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 4】

図 1 4 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 5】

図 1 5 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 6】

図 1 6 A はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 1 6 B は図 1 6 A 中の 1 6 B - 1 6 B 線に沿う断面図、図 1 6 C は図 1 6 A 中の 1 6 C - 1 6 C 線に沿う断面図

【図 1 7】

図 1 7 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 8】

図 1 8 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 1 9】

図 1 9 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 0】

図 2 0 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 1】

図 2 1 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 2】

図 2 2 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 3】

図 2 3 A はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図 2 3 B は図 2 3 A 中の 2 3 B - 2 3 B 線に沿う断面図、図 2 3 C は図 2 3 A 中の 2 3 C - 2 3 C 線に沿う断面図

【図 2 4】

図 2 4 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの等価回路図

【図 2 5】

図 2 5 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 6】

図 2 6 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 7】

図 2 7 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 8】

図 2 8 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 2 9】

図 2 9 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 0】

図 3 0 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 1】

図 3 1 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 2】

図 3 2 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 3】

図 3 3 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 4】

図 3 4 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 5】

図 3 5 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 6】

図 3 6 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 7】

図 3 7 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 8】

図 3 8 はこの発明の第 4 の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図 3 9】

図 3 9 A はこの発明の第 5 実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図、図 3 9 B は図 3 9 A 中の 3 9 - 3 9 線に沿う断面図

【図 4 0】

図 4 0 A は磁気抵抗効果素子の第 1 例を示す断面図、図 4 0 B は磁気抵抗効果素子の第 2 例を示す断面図、図 4 0 C は磁気抵抗効果素子の第 3 例を示す断面図

、図 4 0 C は磁気抵抗効果素子の第 4 例を示す断面図

【図 4 1】

図 4 1 A は典型的な磁気ランダムアクセスメモリを示す平面図、図 4 1 B は図 4 1 A 中の 4 1 B - 4 1 B 線に沿う断面図、図 4 1 C は図 4 1 A 中の 4 1 C - 4 1 C 線に沿う断面図

【図 4 2】

図 4 2 A、図 4 2 B、図 4 2 C はそれぞれ磁気抵抗効果素子の平面形状を示す平面図

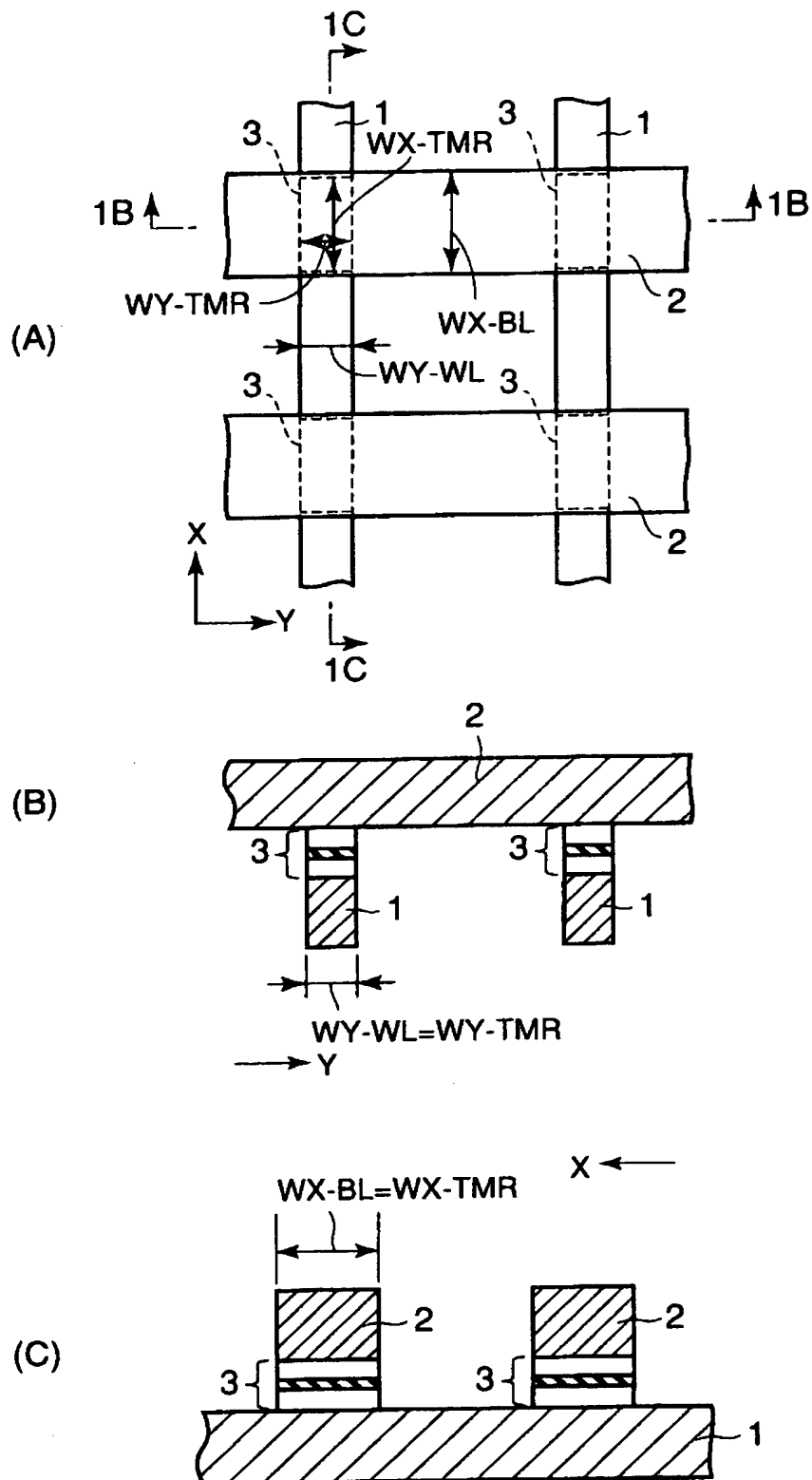
【符号の説明】

- 1 … 第 1 の電流磁界配線
- 2 … 第 2 の電流磁界配線
- 3 … 磁気抵抗効果素子
- 1 0 … シリコン基板
- 1 1 … 第 1 の絶縁層
- 1 2 … 第 1 の導電層
- 1 3 … 第 1 の磁性層
- 1 4 … 第 2 の磁性層
- 1 5 … 第 3 の磁性層
- 1 6 … 磁気抵抗効果素子層
- 1 8 … 第 2 の絶縁層
- 1 9 … 第 2 の導電層
- 2 1 … 整流性素子
- 2 2 … 整流性素子層
- 2 3 … 複合層
- 2 4 … カソード層
- 2 5 … アノード層
- 3 1 … 読み出し配線
- 3 3 … 第 3 の絶縁層
- 3 4 … 第 4 の導電層

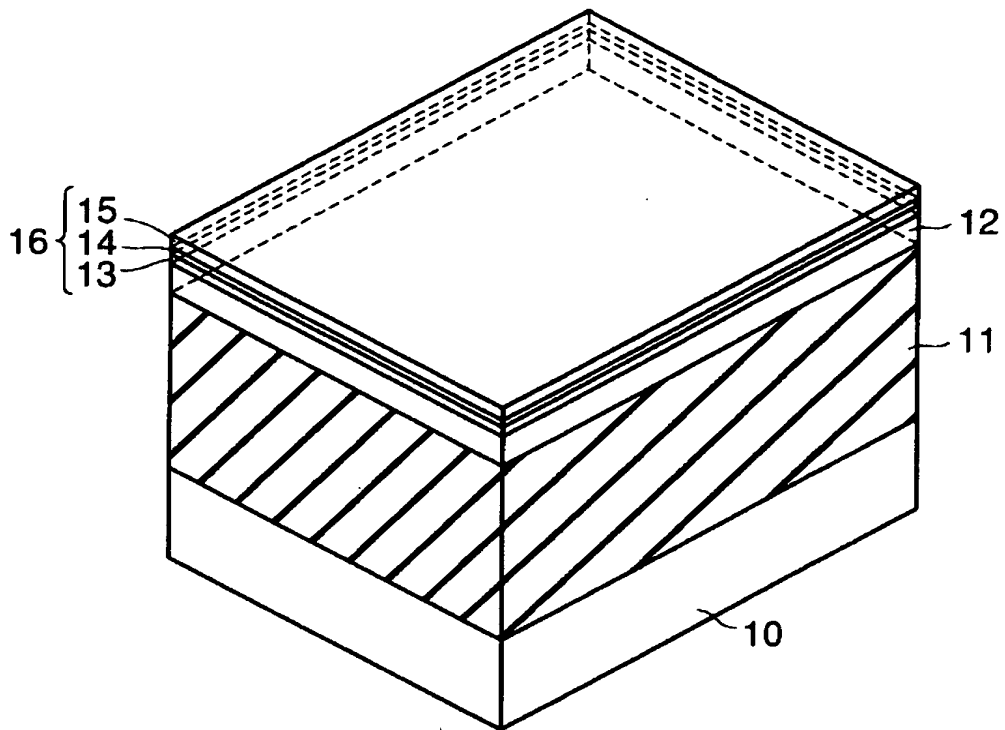
4 1 …引き出し電極

【書類名】 図面

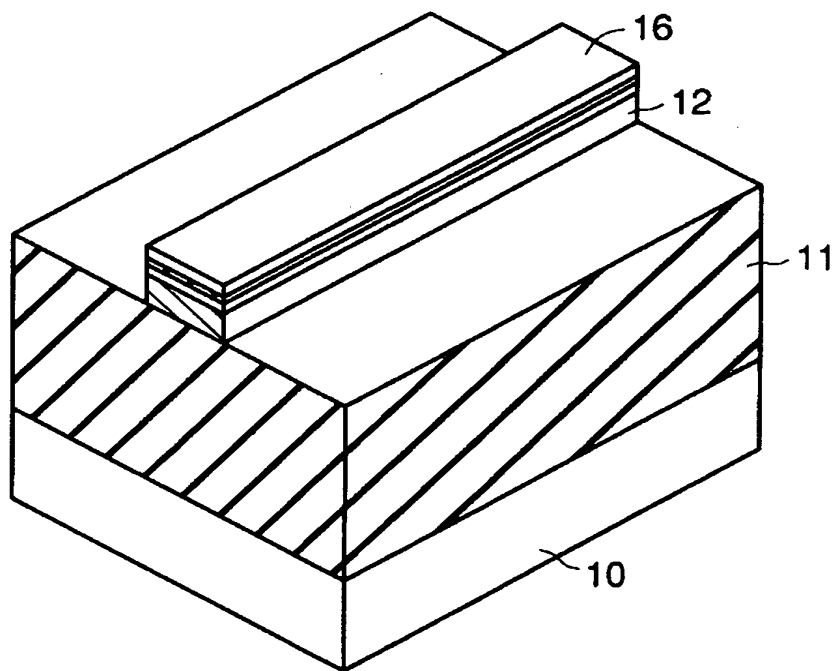
【図 1】



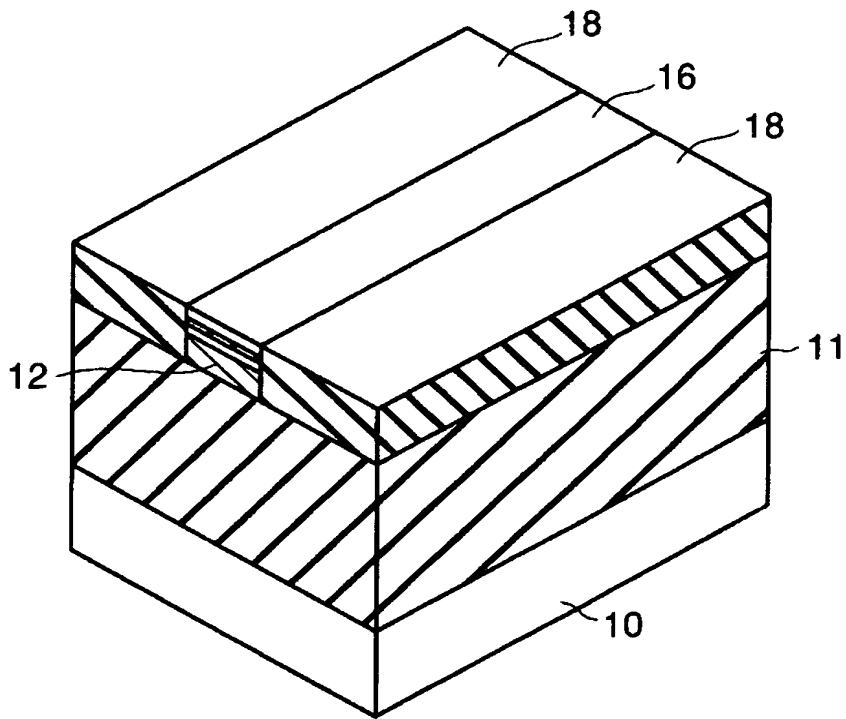
【図 2】



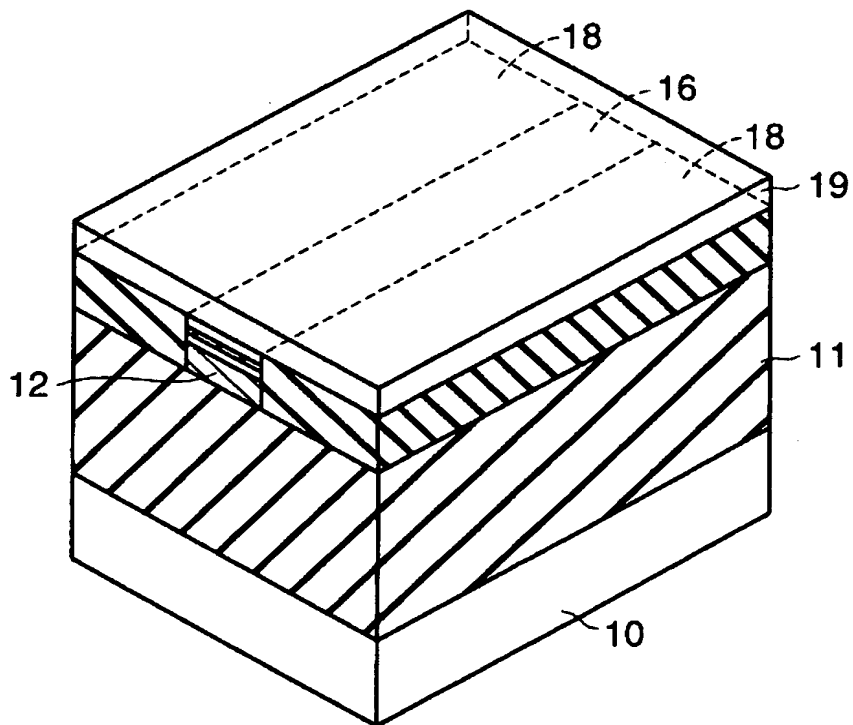
【図 3】



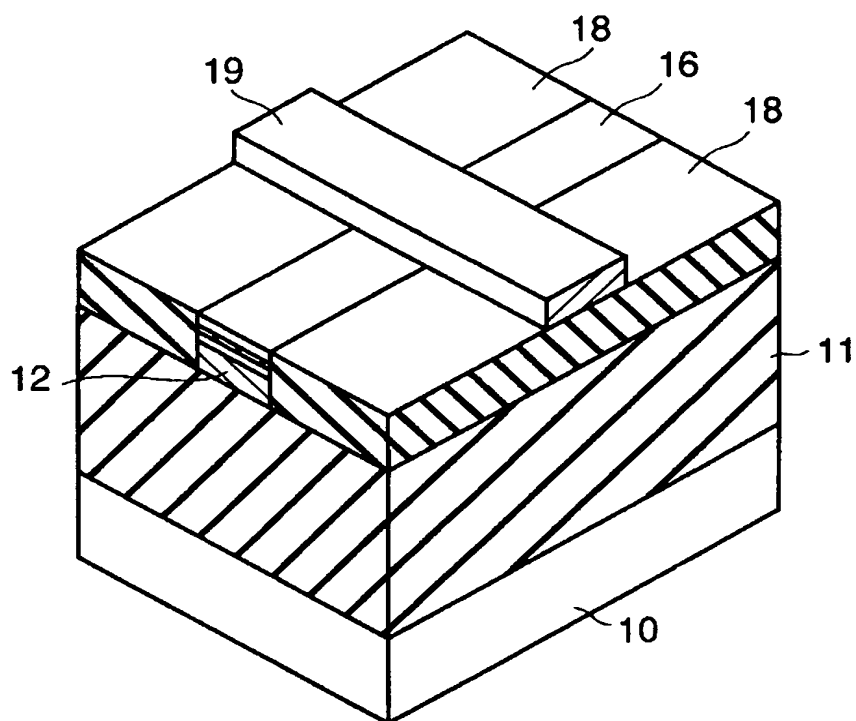
【図 4】



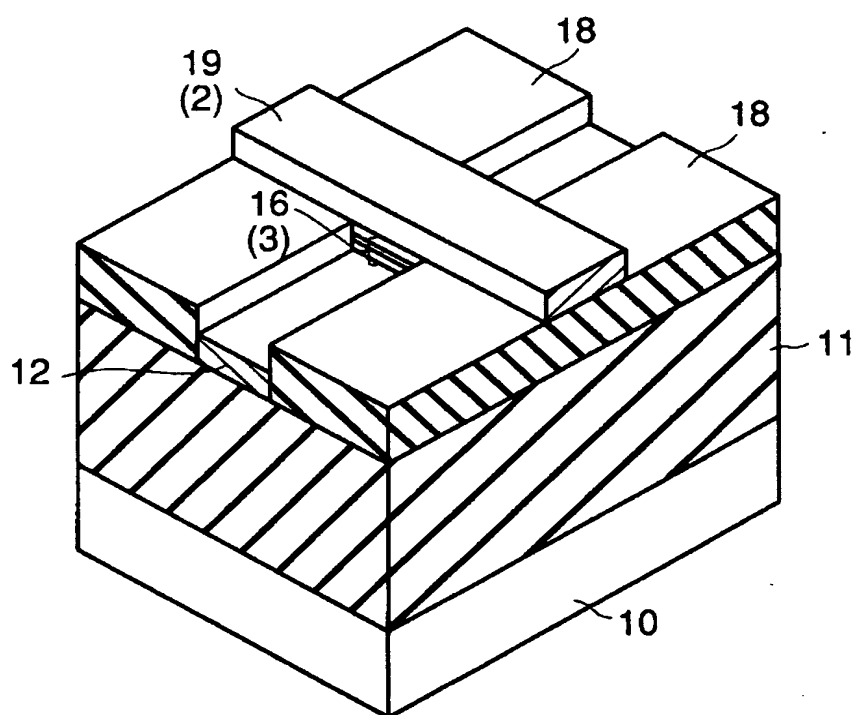
【図 5】



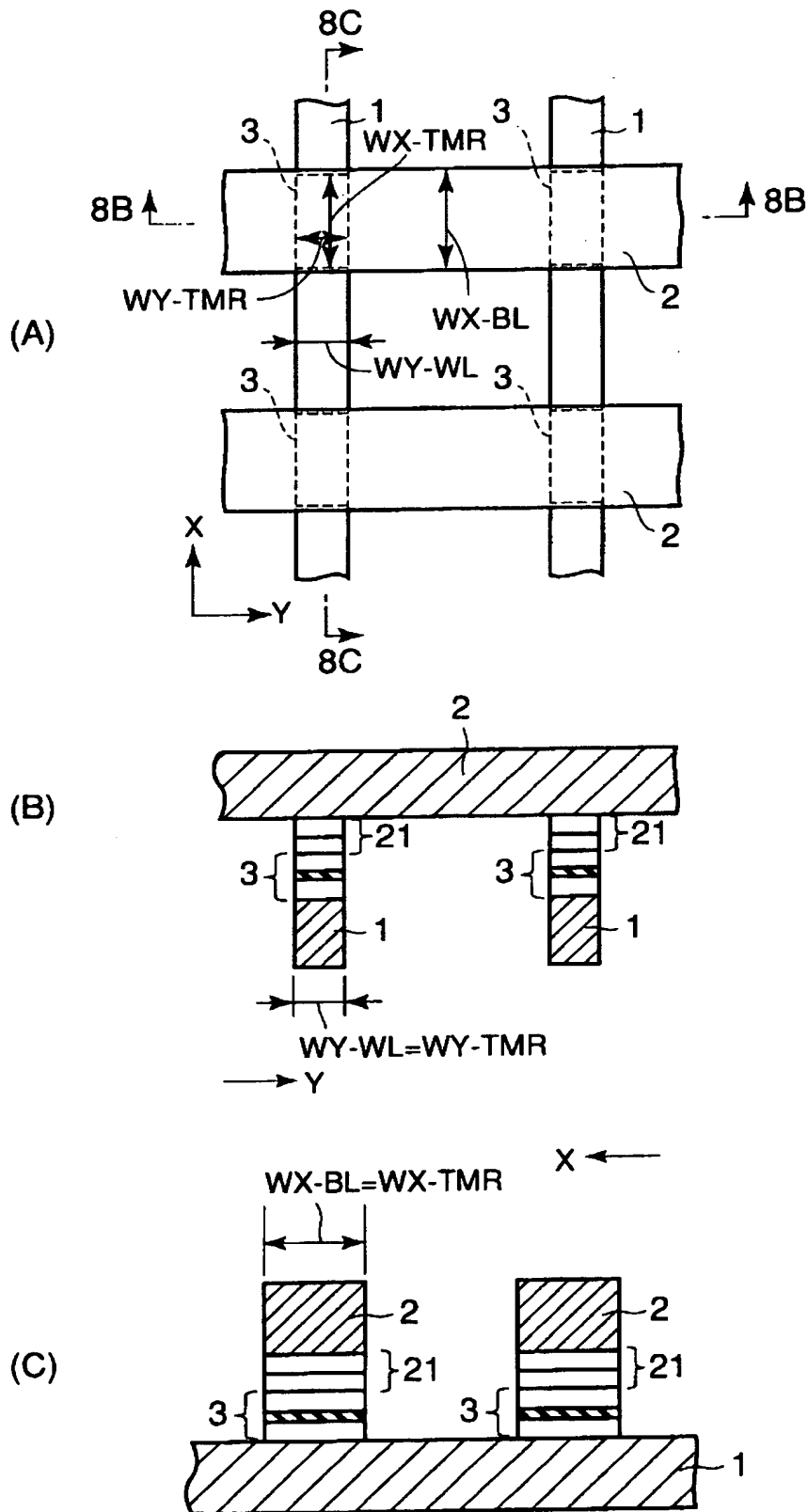
【図 6】



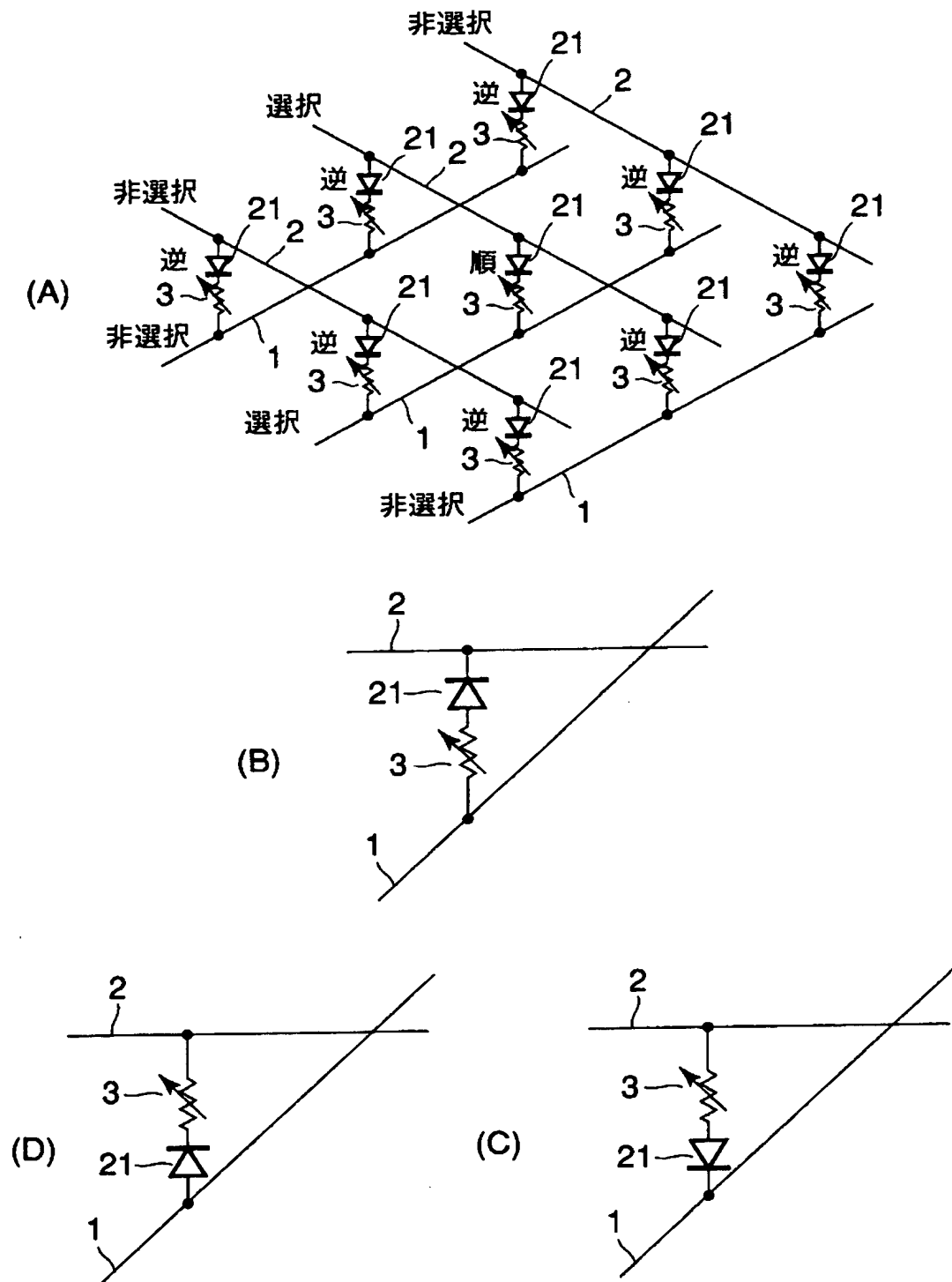
【図 7】



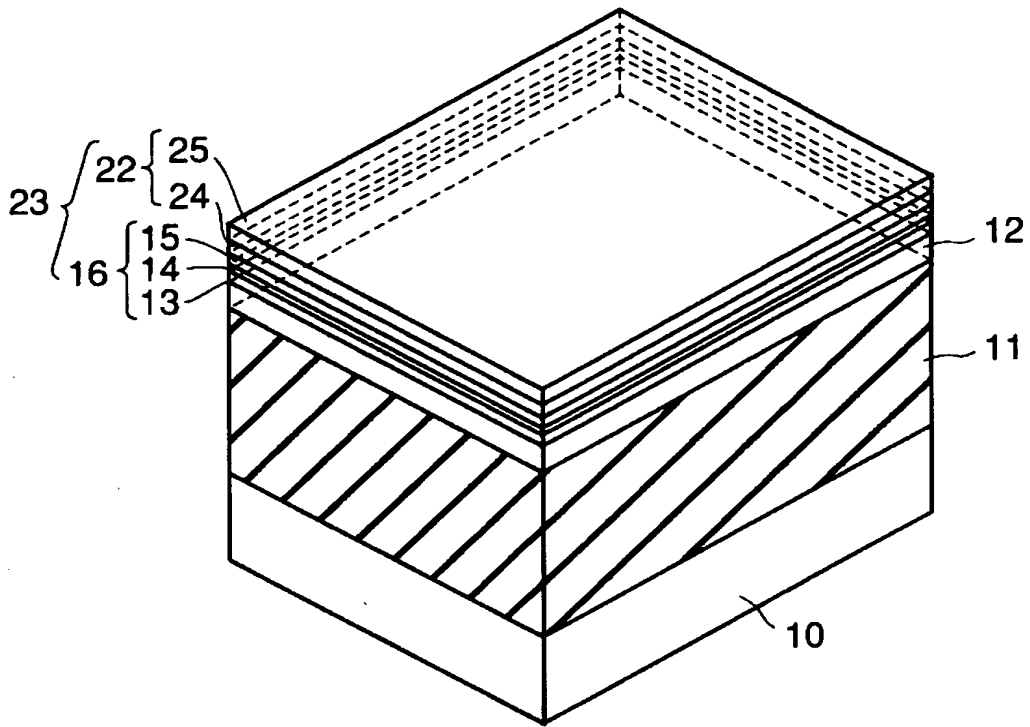
【図 8】



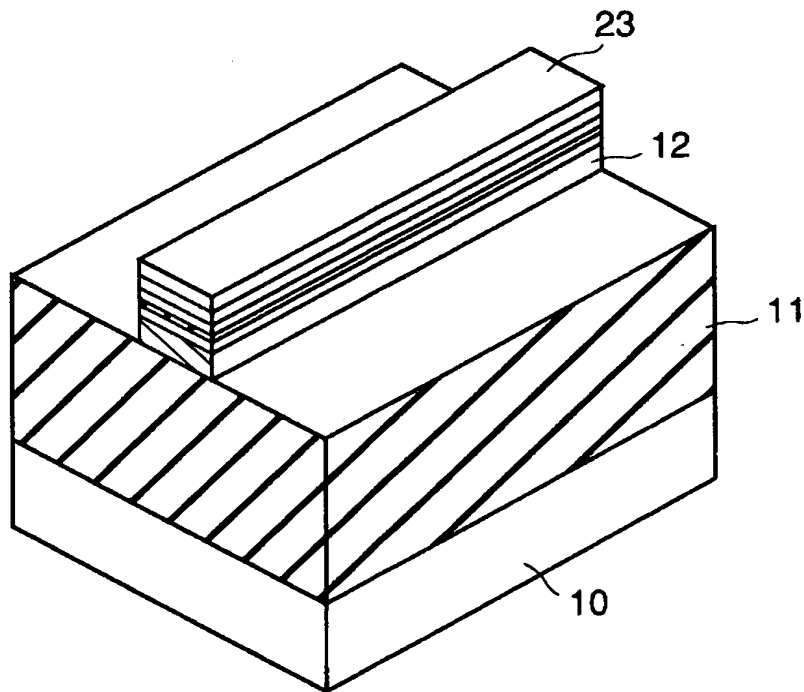
【図 9】



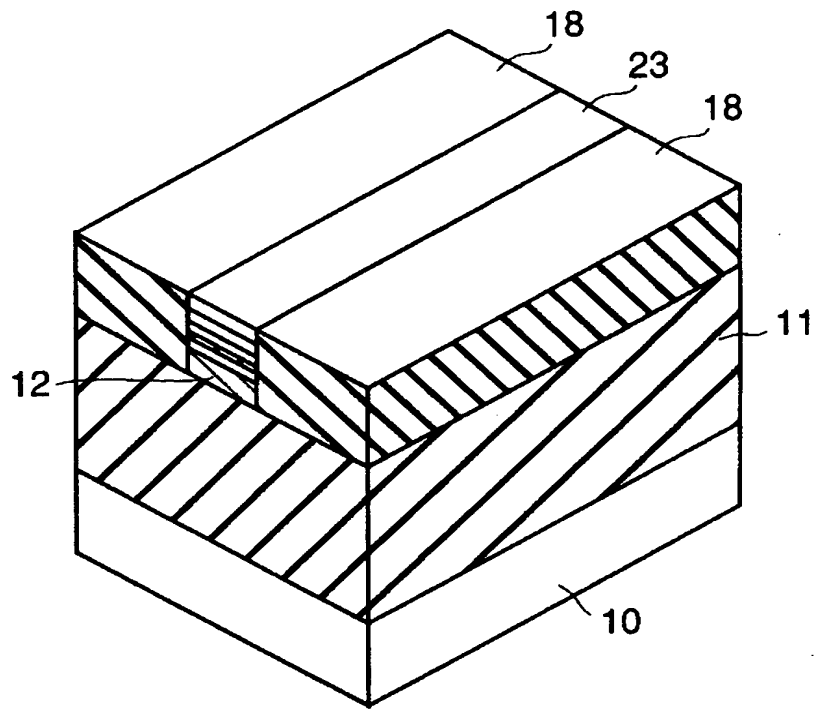
【図 1 0】



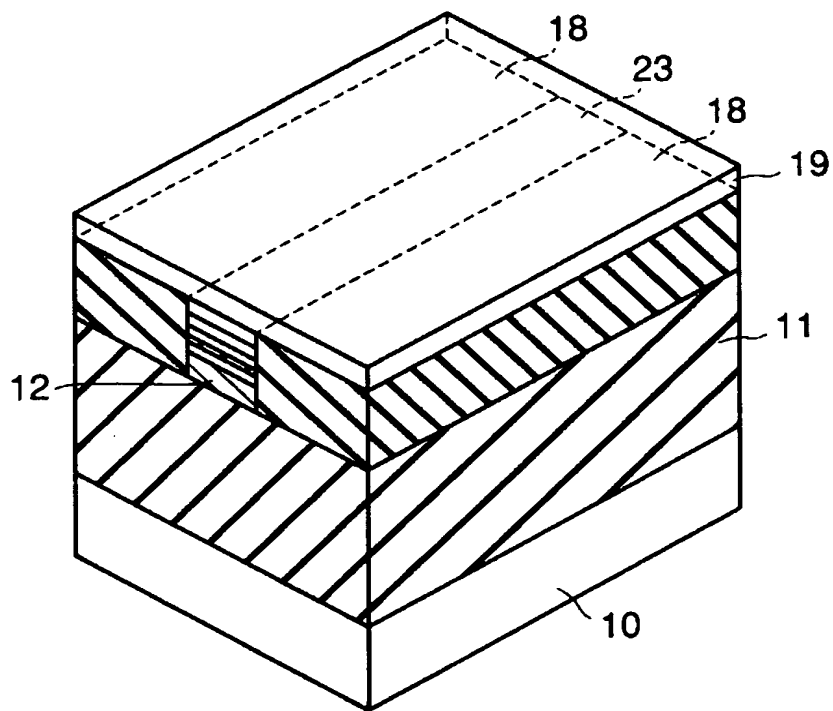
【図 1 1】



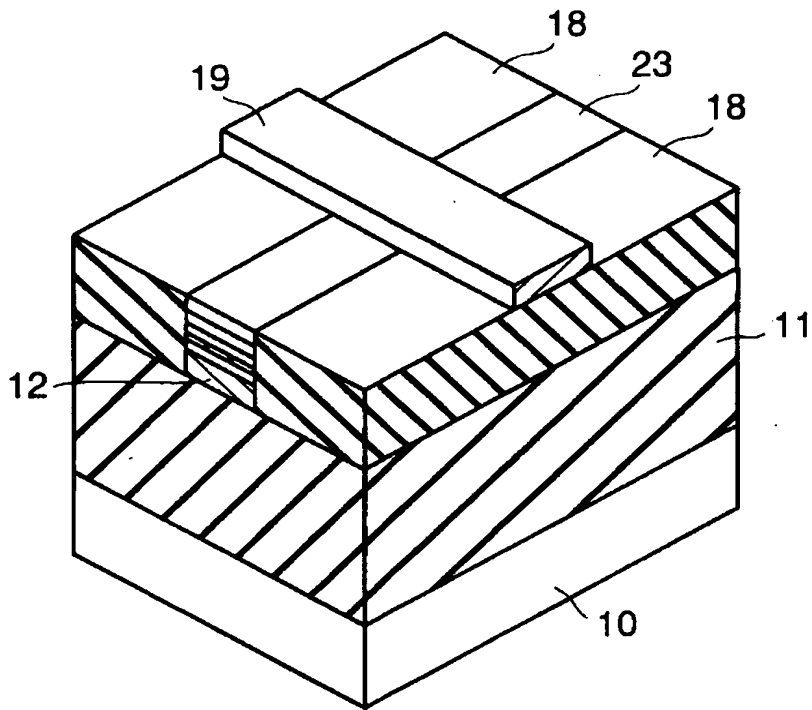
【図 1 2】



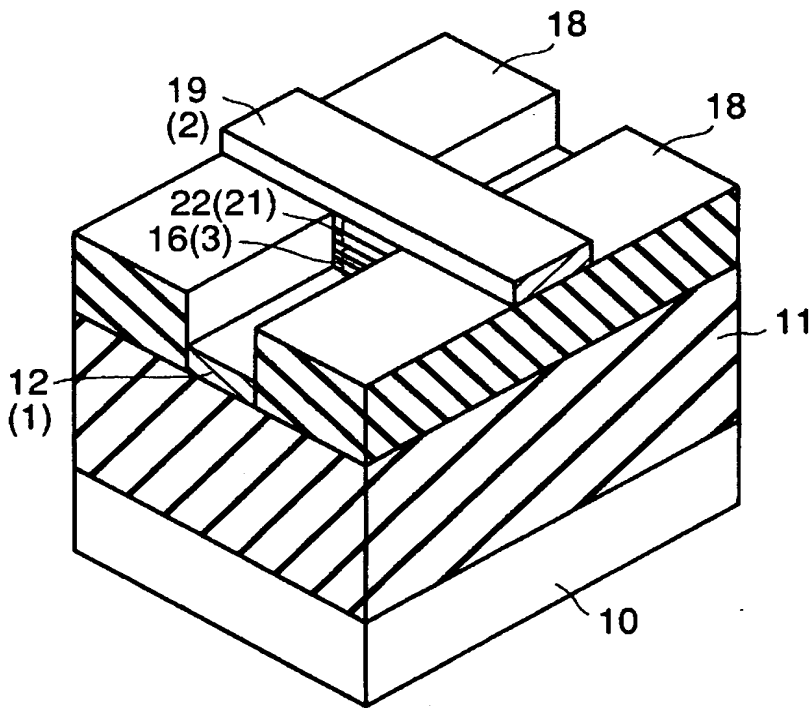
【図 1 3】



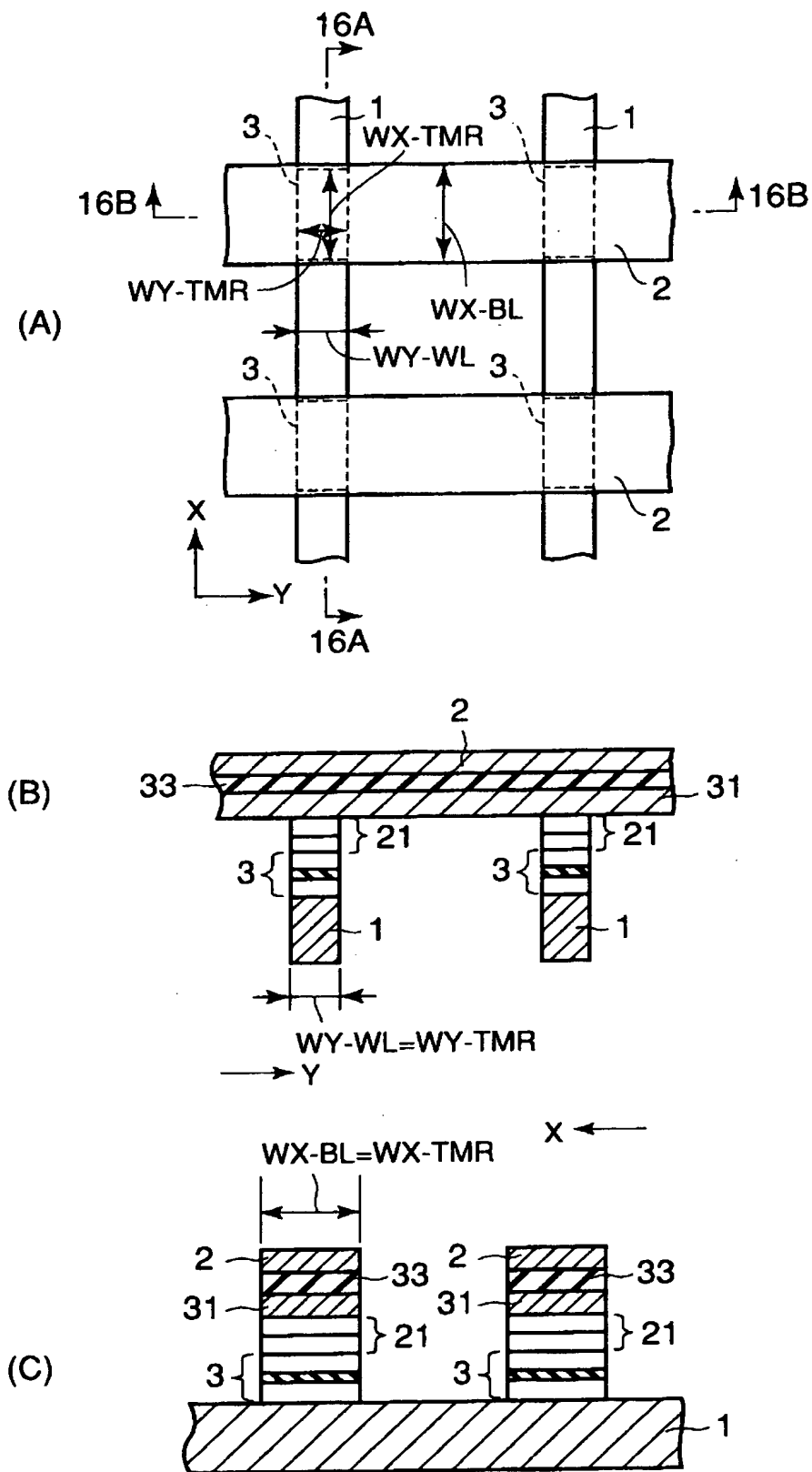
【図 1 4】



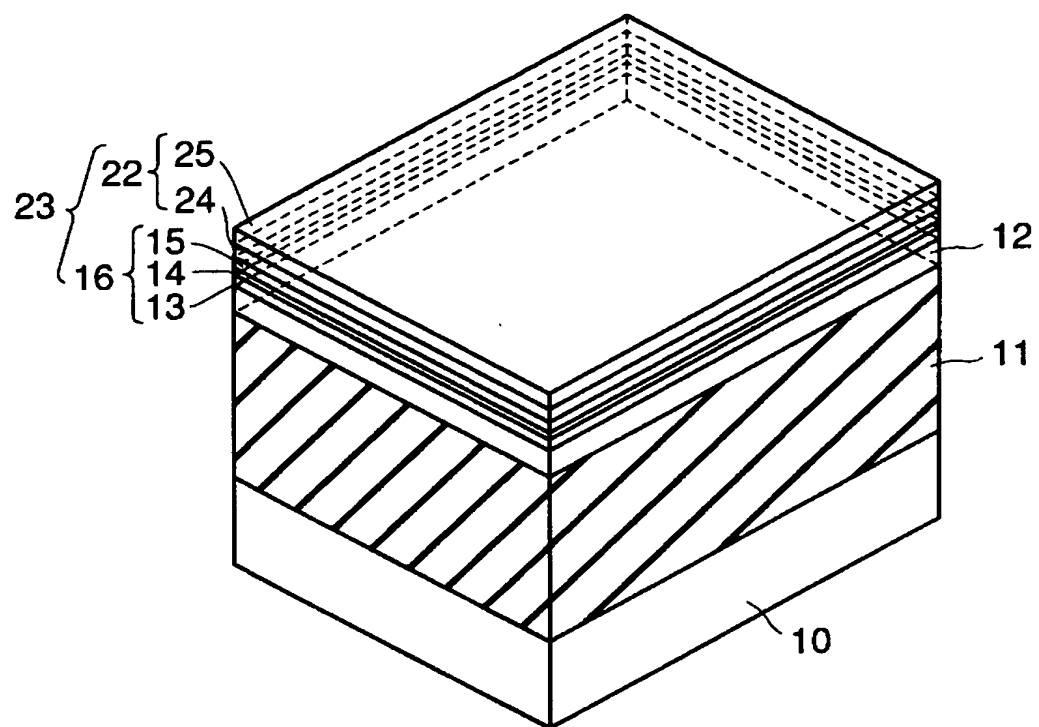
【図 1 5】



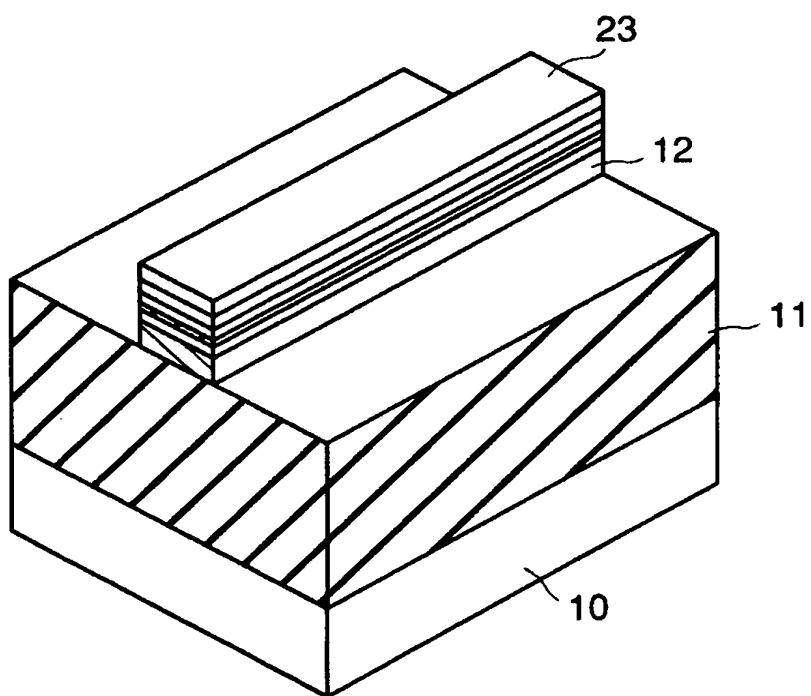
【図 16】



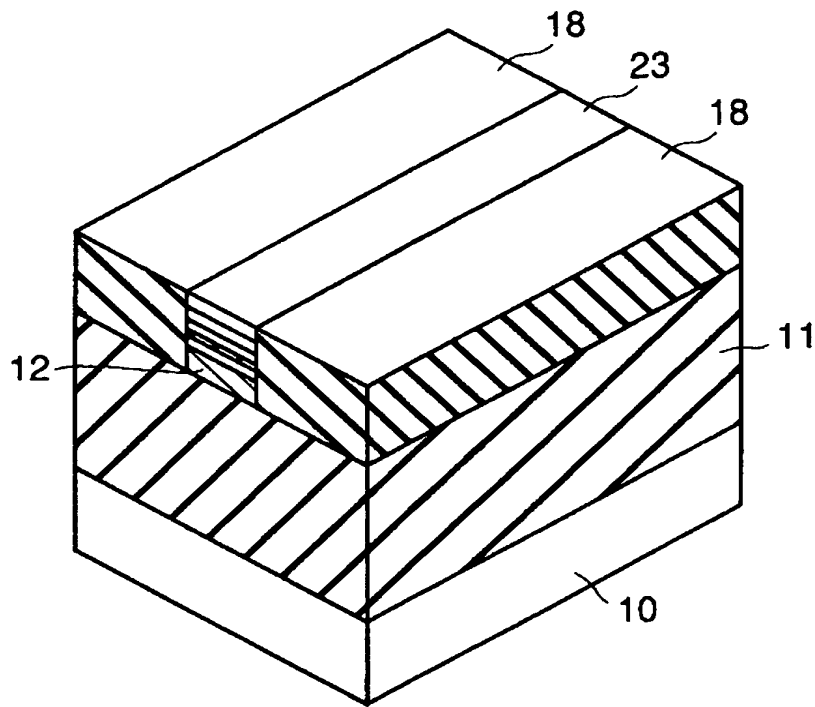
【図 17】



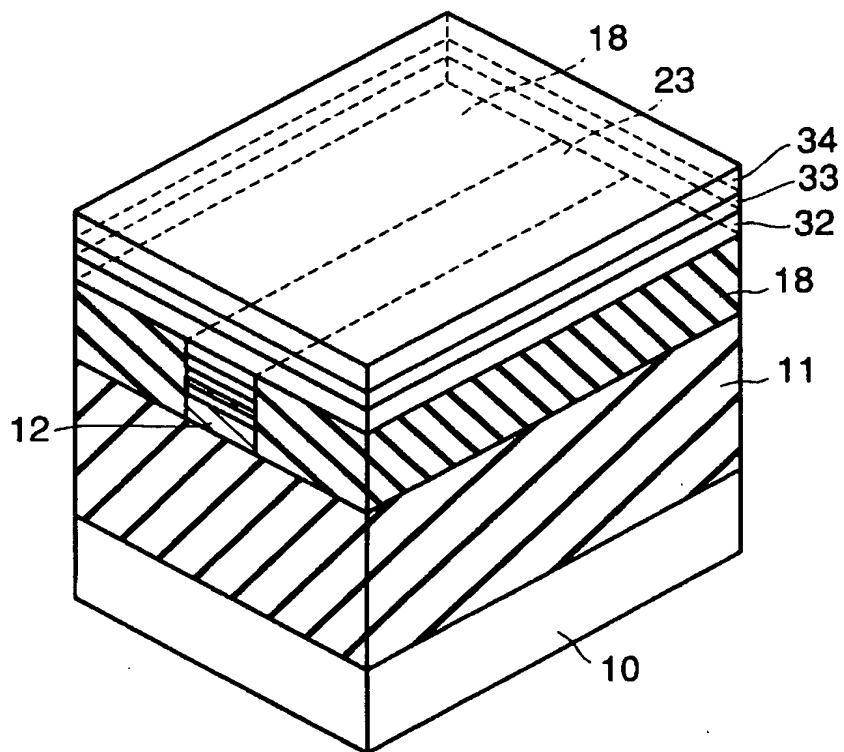
【図 18】



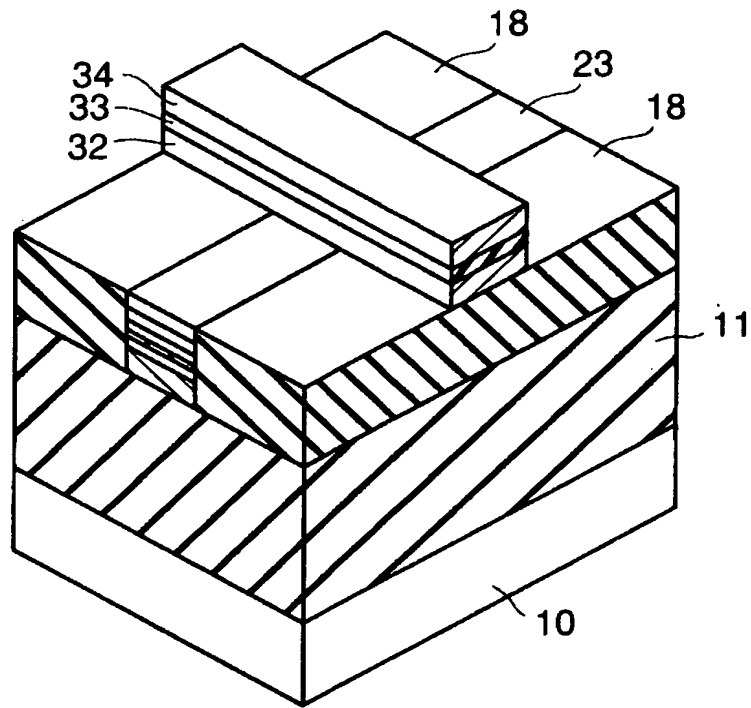
【図 1 9】



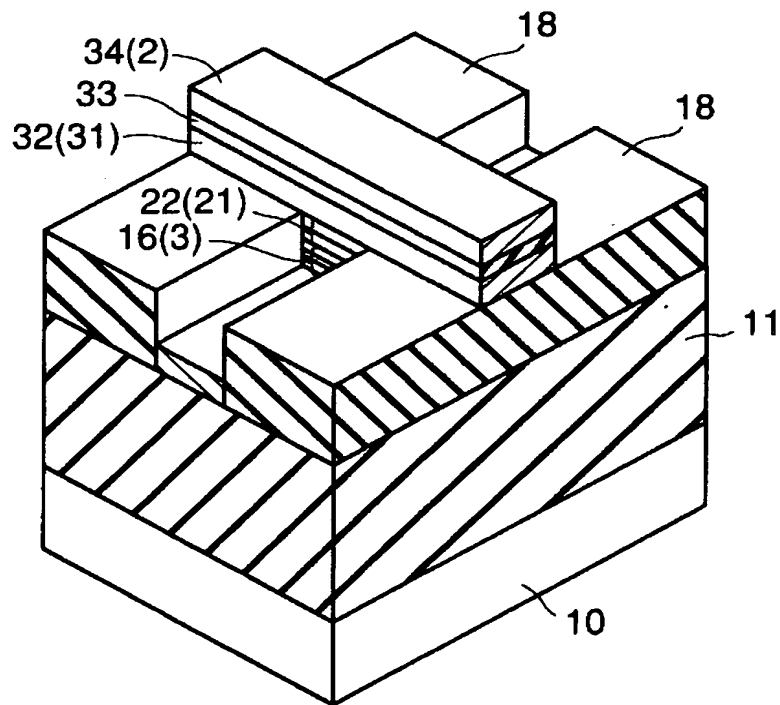
【図 2 0】



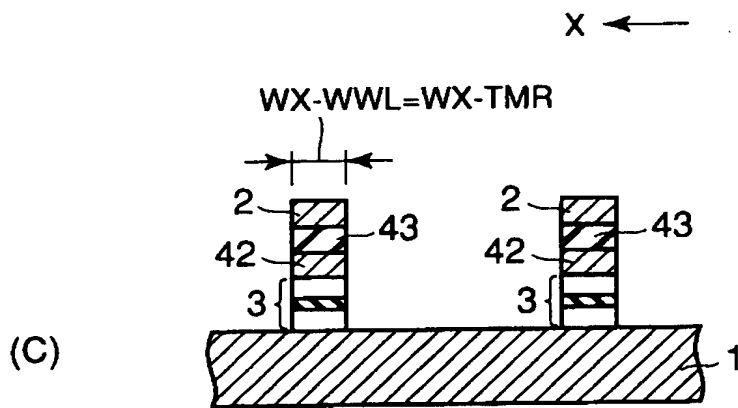
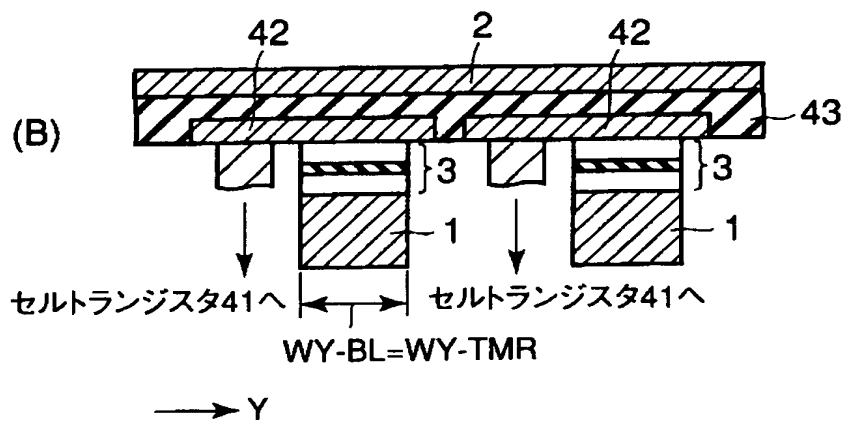
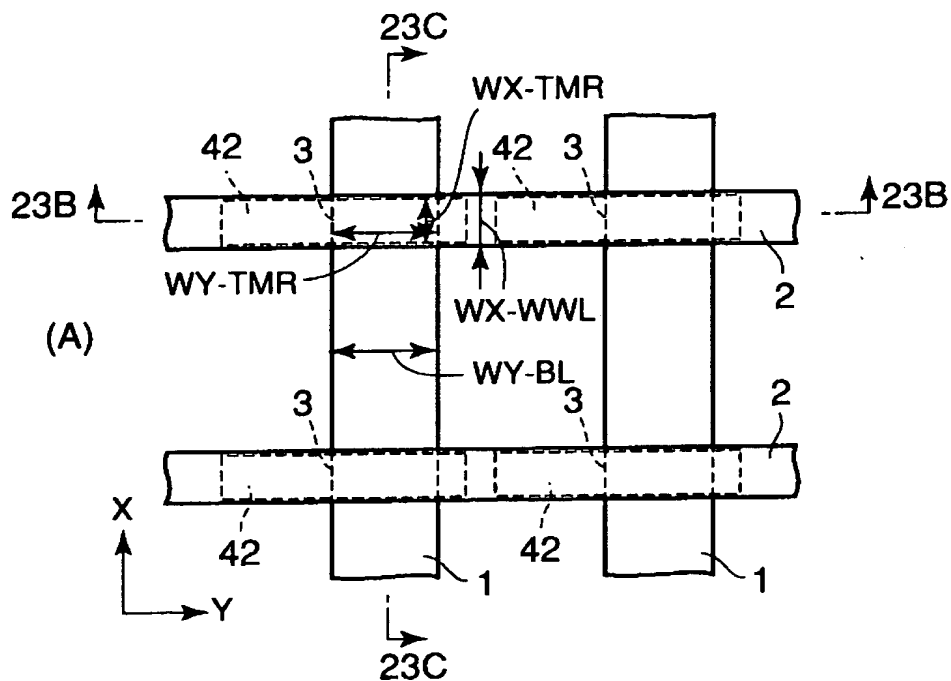
【図 2 1】



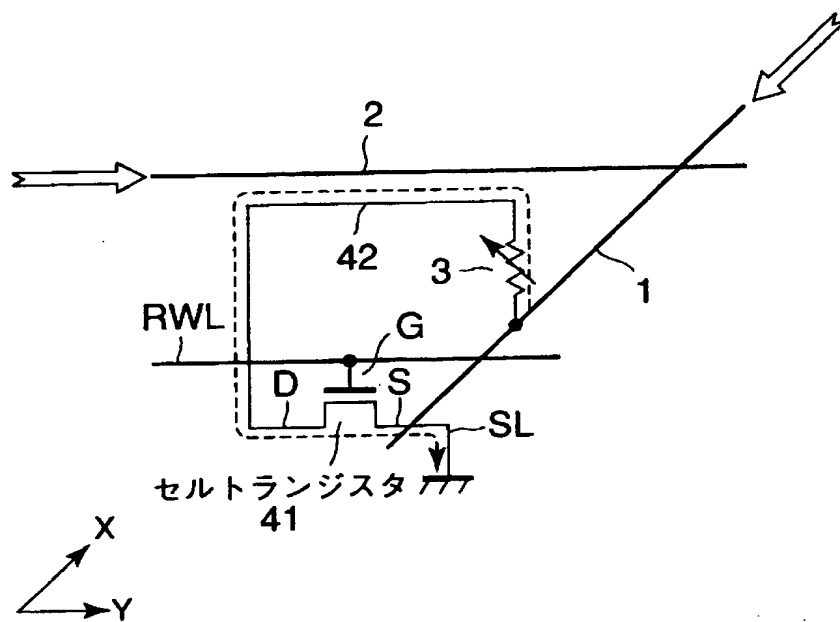
【図 2 2】



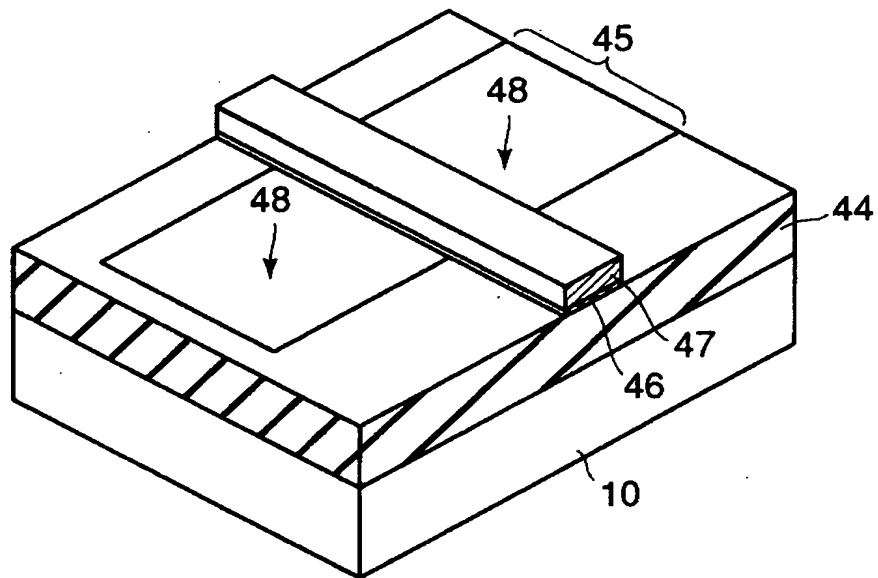
【図 23】



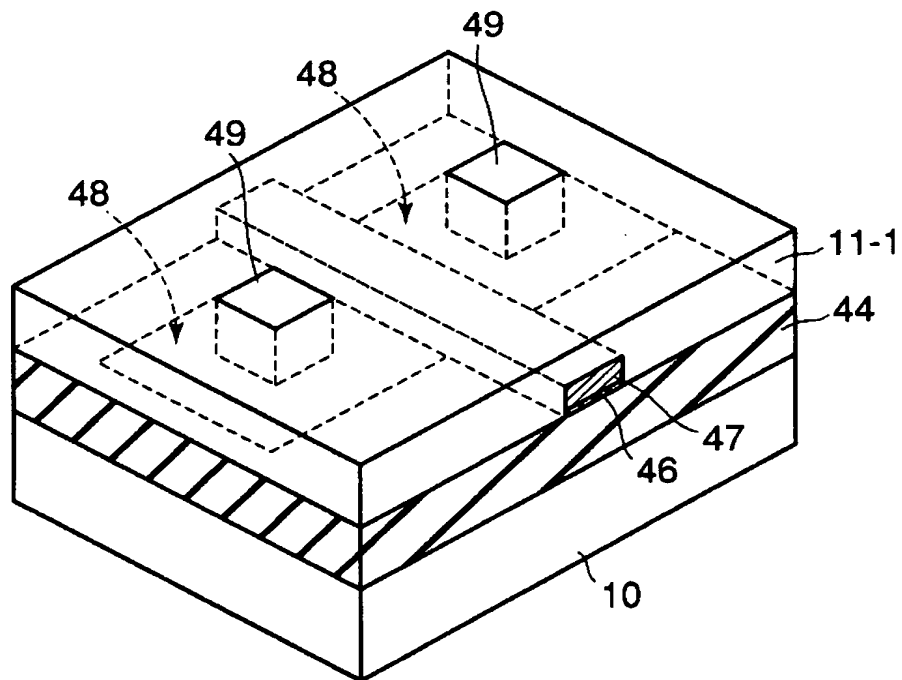
【図 2 4】



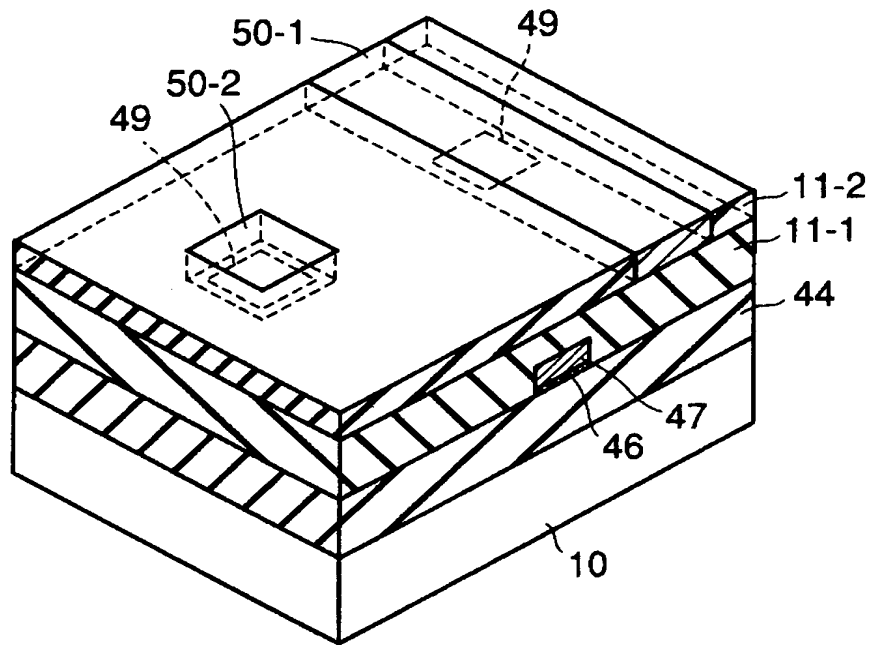
【図 25】



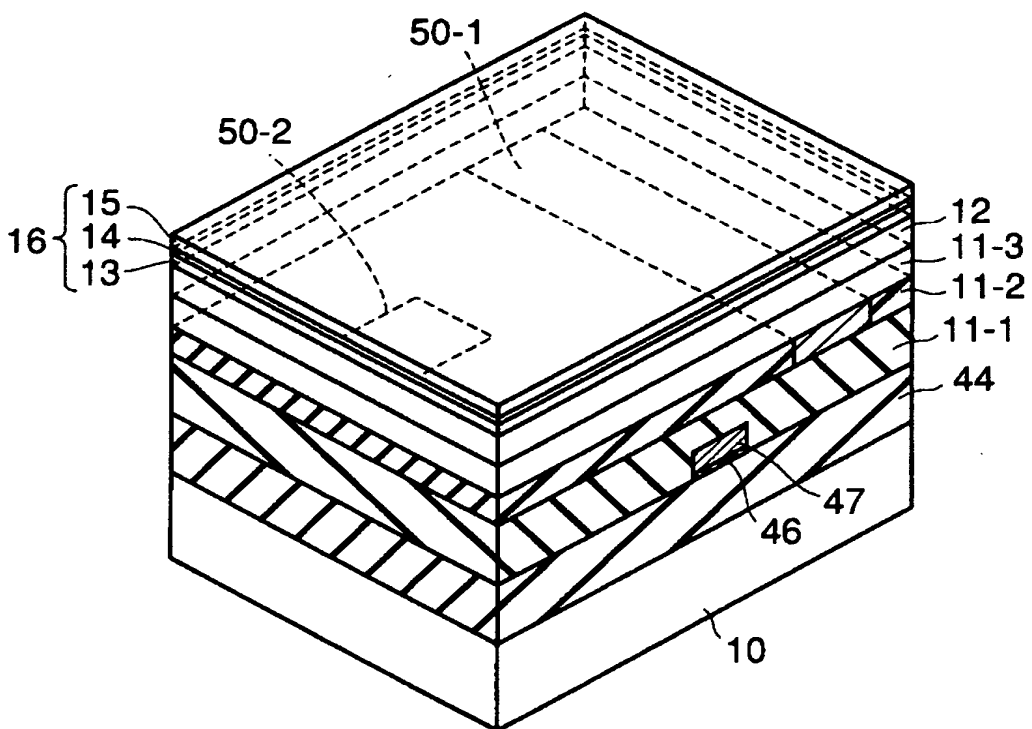
【図 26】



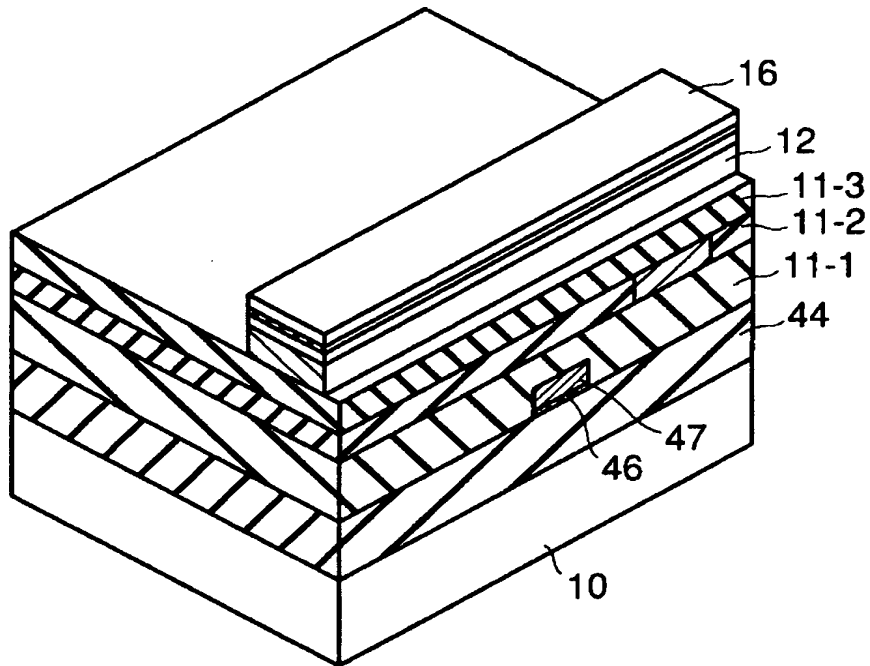
【図 2 7】



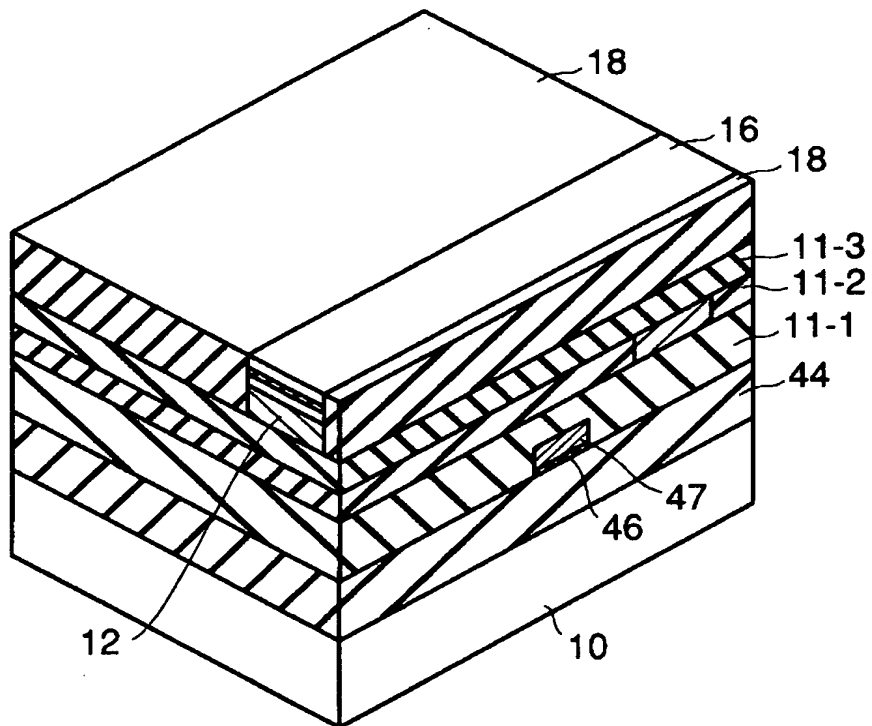
【図 2 8】



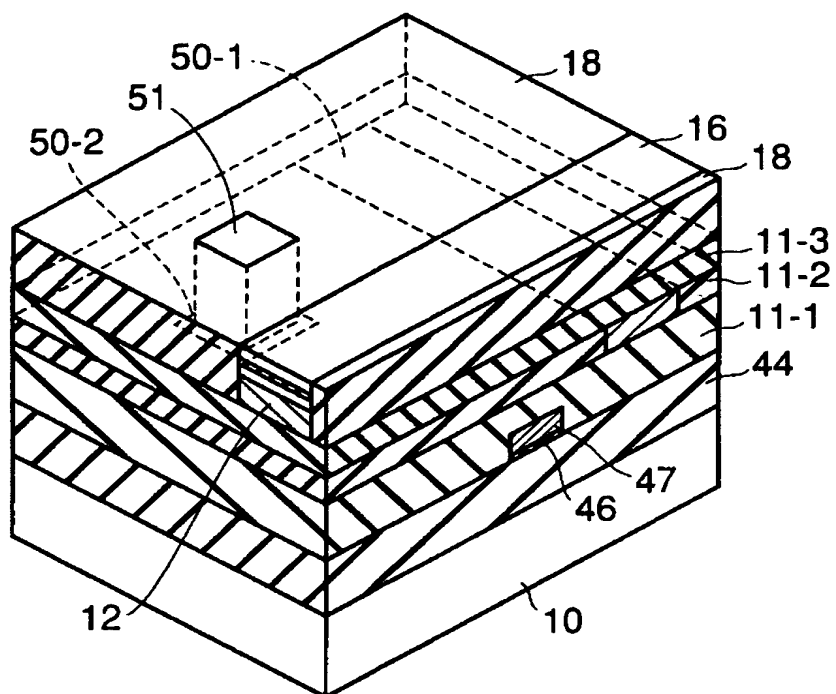
【図 2 9】



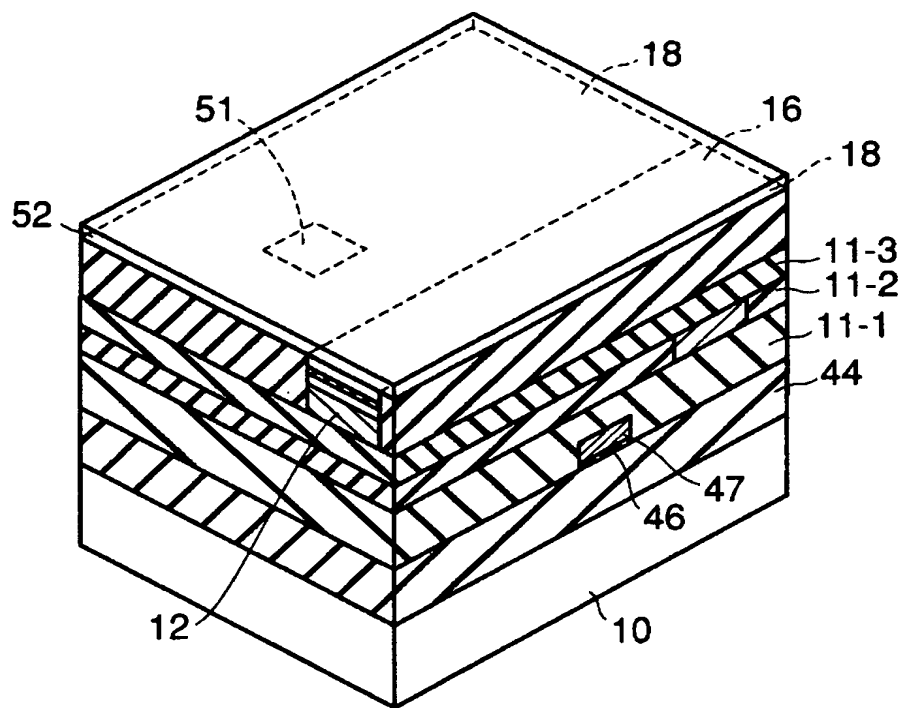
【図 3 0】



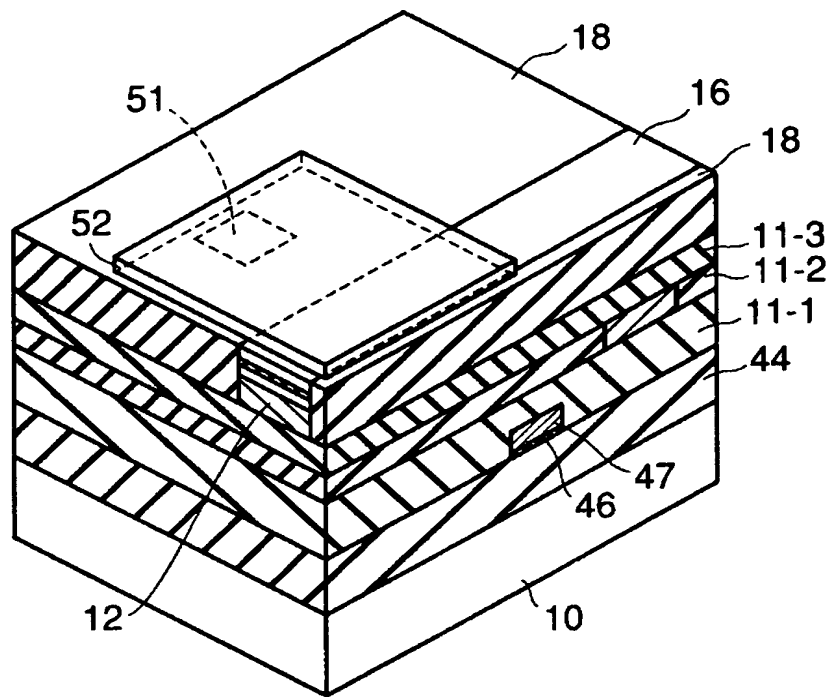
【図 3 1】



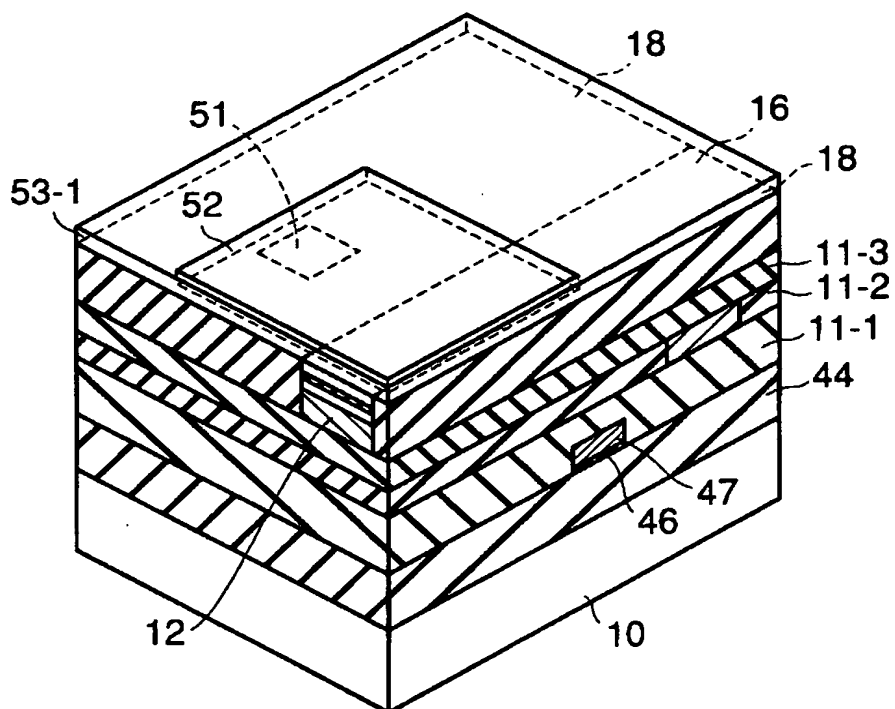
【図 3 2】



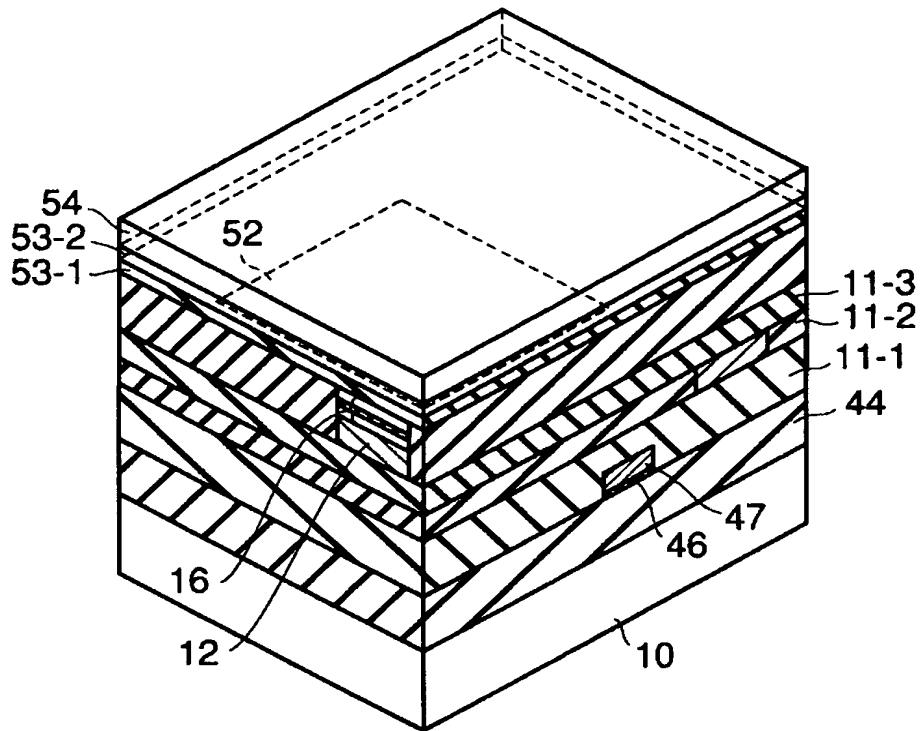
【図 3 3】



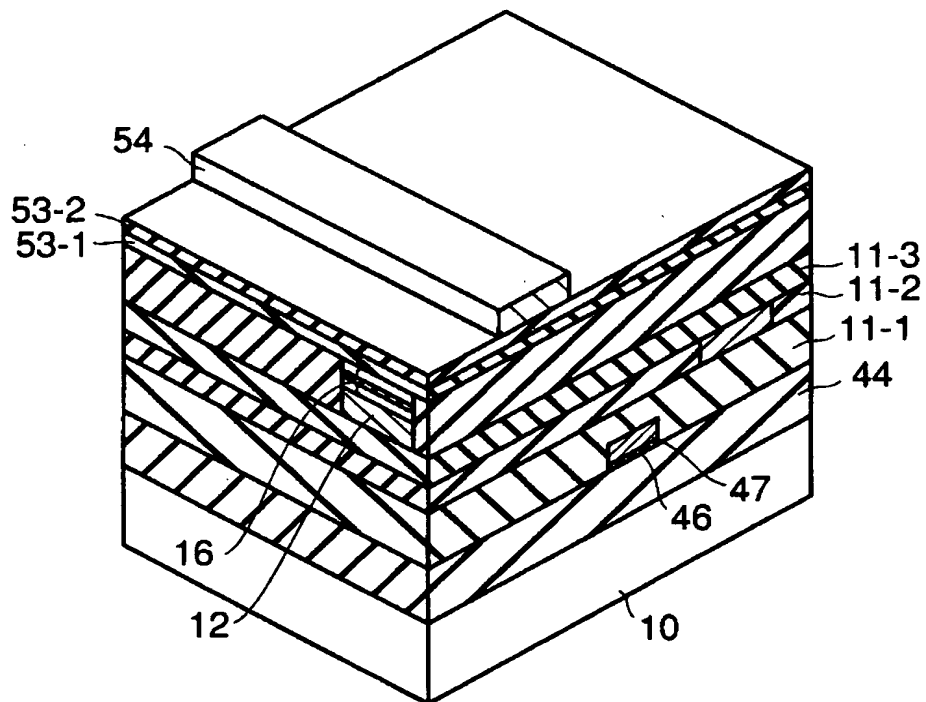
【図 3 4】



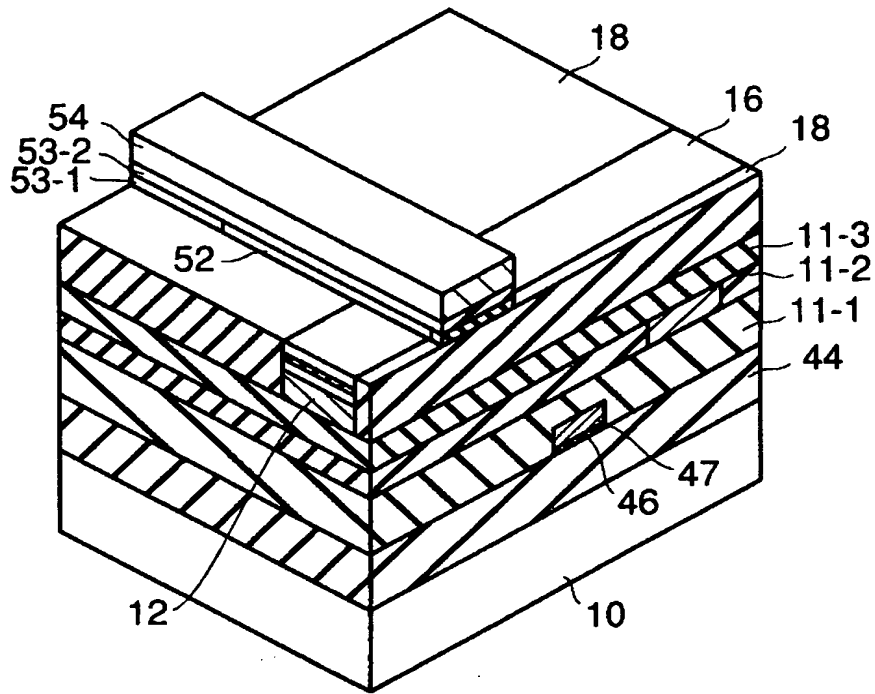
【図 3 5】



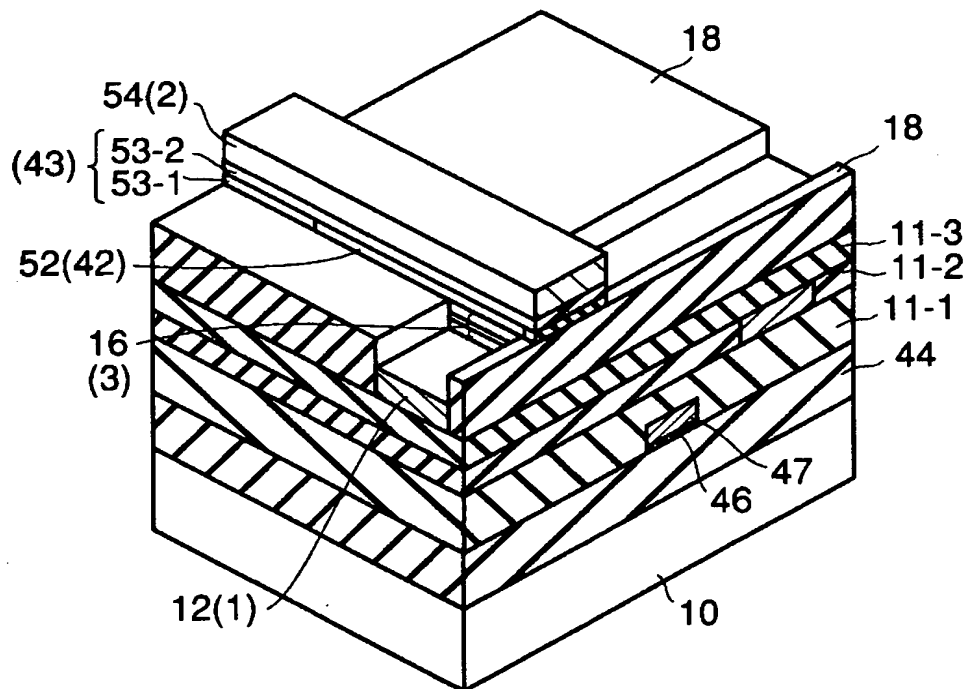
【図 3 6】



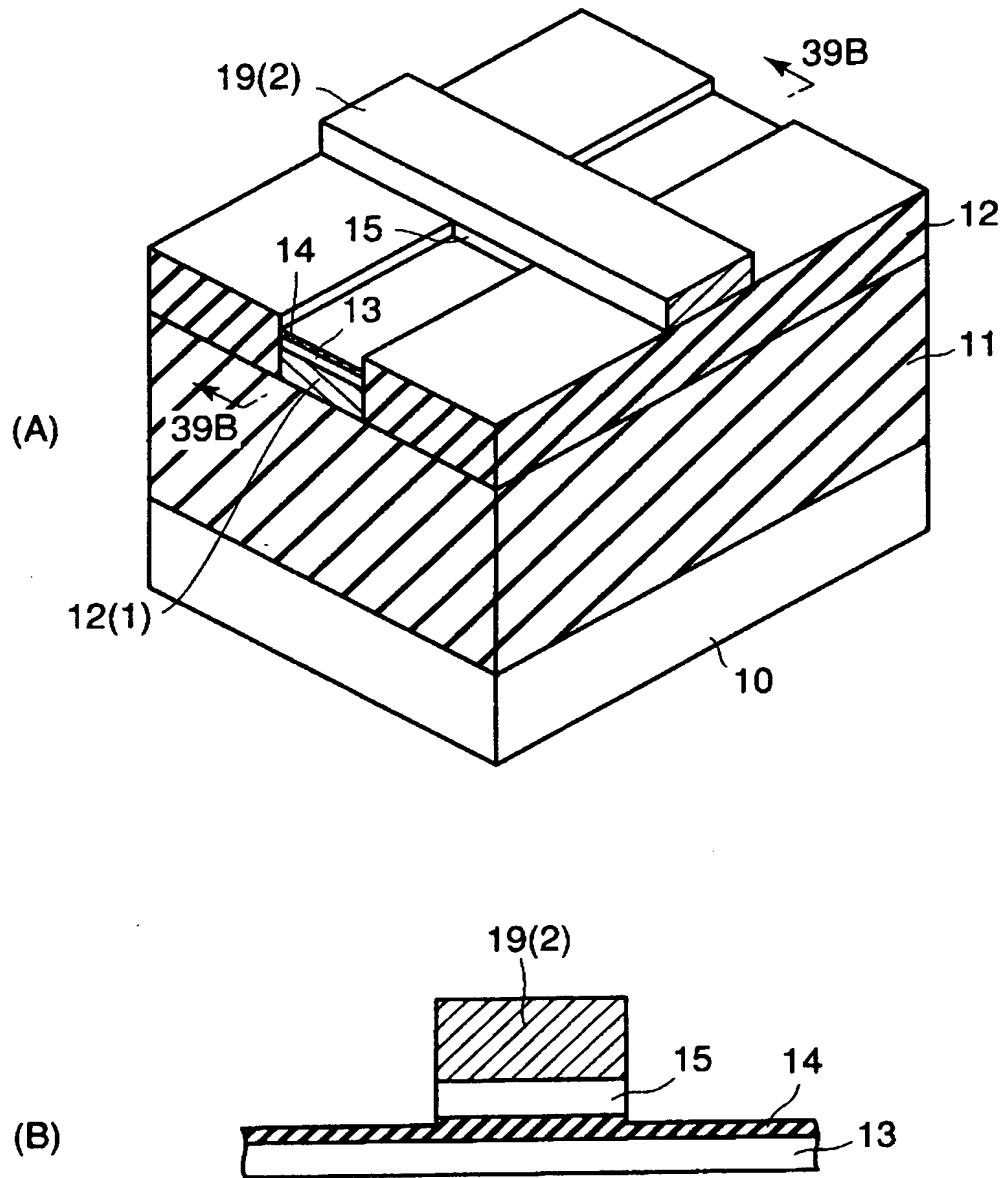
【図 37】



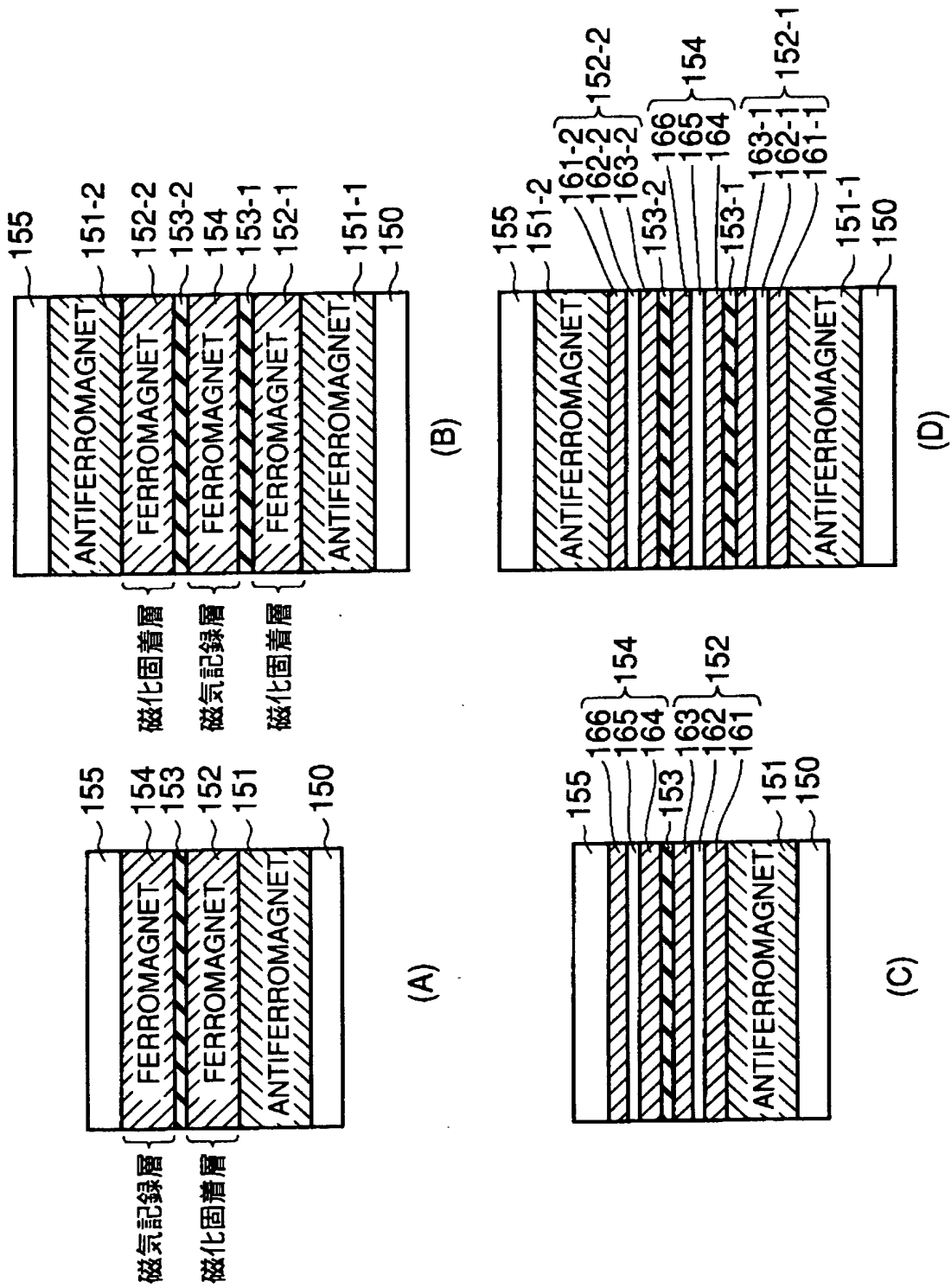
【図 38】



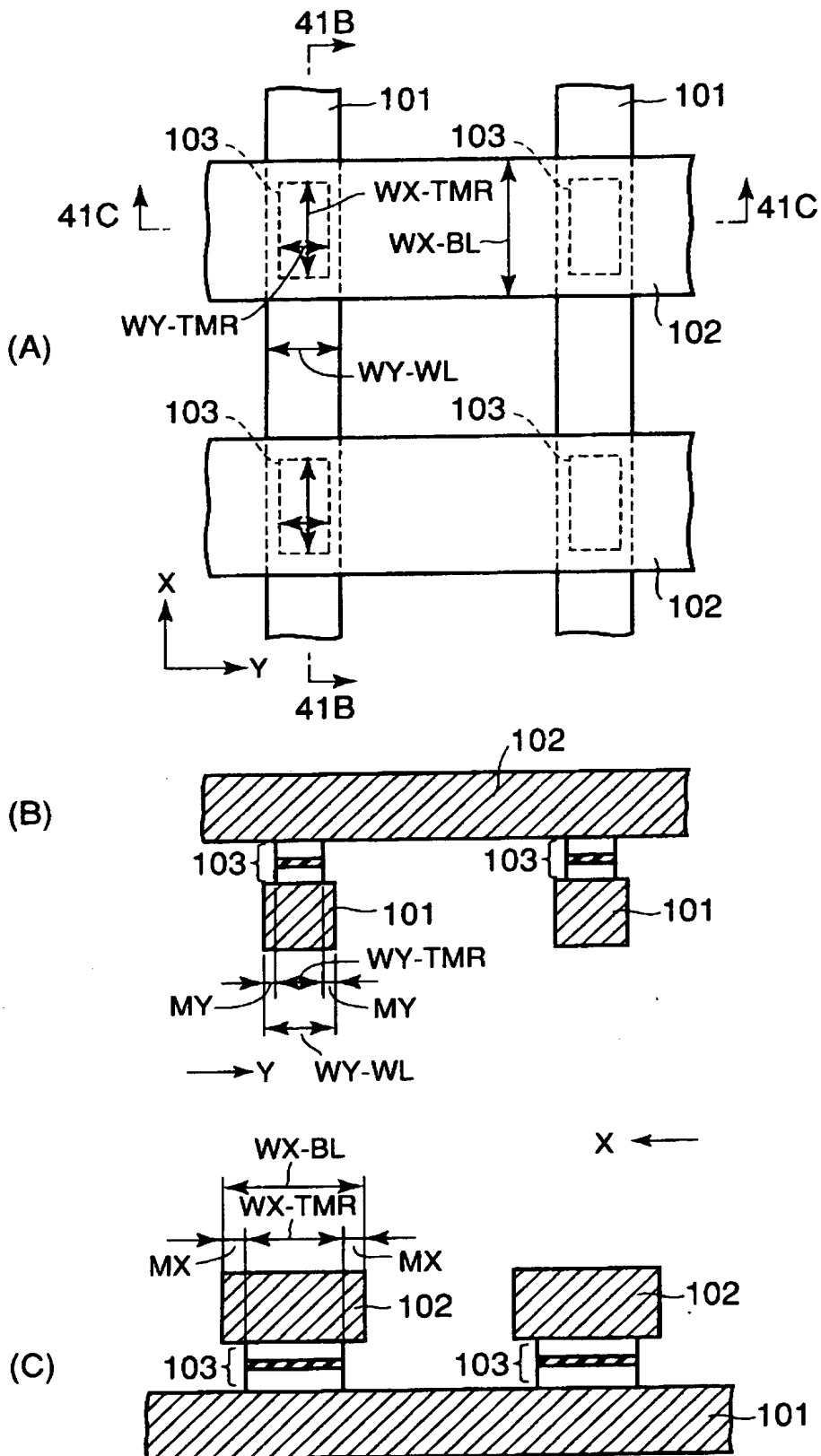
【図 3 9】



【図 40】



【図 4 1】



【図 4 2】

理想的なMTJ形状

(A)



現実的なMTJ形状

(B)



現実的なMTJ形状

(C)



【書類名】 要約書

【要約】

【課題】 磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大をともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置を提供すること。

【解決手段】 第 1 方向 X に延びる第 1 の配線 (1) と、第 1 方向 X に交差する第 2 方向 Y に延びる第 2 の配線 (2) と、少なくとも第 1 の磁性層、非磁性層、第 2 の磁性層を含む磁気抵抗効果素子 (3) とを具備する。そして、磁気抵抗効果素子 3 の平面形状を、第 1 の配線 (1) と第 2 の配線 (2) との交差部の平面形状に一致させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝